

⑮ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑩ DE 196 10 302 A 1

⑤ Int. Cl.
H01L
H 01 L 27/1
H 01 L 23/58
H 01 L 21/86
G 11 C 11/401

⑳ Aktenzeichen: 196 10 302.9
㉔ Anmeldetag: 15. 3. 96
㉕ Offenlegungstag: 2. 10. 96

③① Unionspriorität: ③② ③③ ③①

30.03.95 JP 7-073781
23.02.96 JP 8-036295

08.08.95 JP 7-202302

⑦① Anmelder:

Mitsubishi Denki K.K., Tokio/Tokyo, JP

⑦④ Vertreter:

Prüfer und Kollegen, 81545 München

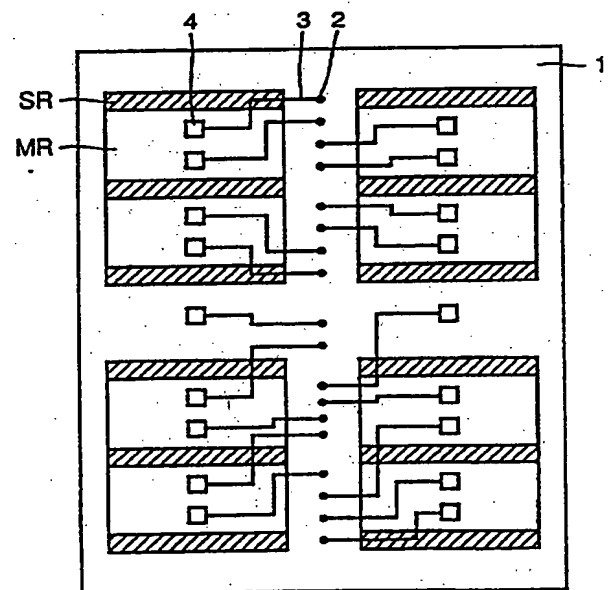
⑦② Erfinder:

Arimoto, Kazutami, Tokio/Tokyo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleiterverpackung

⑤⑦ Eine externe Zwischenverbindungseinheit, die einen auf einem Halbleiterchip (1) vorgesehenen Kontaktblock (2), eine auf einer Hauptoberfläche des Halbleiterchips (1) gebildete Hügelelektrode (4) zur Verbindung mit einer Leiterplatte und eine Verbindungszwischenverbindung (3) zum Verbinden des Kontaktblocks (2) und der Hügelelektrode (4) enthält, ist in einer Mehrzahl von Stufen in zwei parallelen Reihen vorgesehen. Die Hügelelektrode (4) ist auf einem Gebiet vorgesehen, das sich von dem Gebiet eines Abtastverstärkergebiets (SR) unterscheidet. Eine Halbleiterverpackung mit einer Zuverlässigkeit wie eine Halbleitereinrichtung, deren Verschlechterung verhindert wird, und eine Halbleiterverpackung, die das Merkmal einer CSP-Struktur wirksam ausnutzt, sind vorgesehen.



DE 196 10 302 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 08. 96 802 040/680

41/28

DE 196

Die vorliegende Erfindung betrifft Halbleiterverpackungen mit CSP-(Chip-Scale-Package-)Struktur und BGA-(Ball-Grid-Array-)Struktur mit einem großen Chipbelegungsanteil und einer verbesserten Packungsdichte und insbesondere eine Halbleiterverpackung mit CSP-Struktur und BGA-Struktur, bei welcher verhindert wird, daß die Zuverlässigkeit als Halbleitereinrichtung vermindert wird.

Eine Halbleiterverpackung mit CSP-Struktur ist als Halbleiterverpackung entwickelt worden, welche einen großen Chipbelegungsanteil (mehr als 90%) und eine drastisch verbesserte Packungsdichte aufweisen kann. Eine derartige Verpackung wurde zum Beispiel auf der ISSCC (International Solid-State Circuits Conference) 94 offenbart.

Wie in Fig. 30 gezeigt, enthält eine Halbleiterverpackung mit CSP-Struktur (nachstehend als CSP bezeichnet) einen Halbleiterchip 1, eine Verbindungszwischenverbindung 3, eine Hügelelektrode 4 und ein Formharz 5. Der Halbleiterchip 1 enthält eine integrierte Halbleitereinrichtung, und ein Bondkontaktblock (nachstehend einfach als "Kontaktblock" bezeichnet) 2 ist mit der integrierten Halbleitereinrichtung elektrisch verbunden. Der Kontaktblock 2 ist mit der Hügelelektrode 4 mittels der durch Photolithographie gebildeten Zwischenverbindung 3 verbunden. Das Formharz 5 bedeckt sein Ganzes, außer den Kopf der Hügelelektrode 4. Diese Halbleiterverpackung mit CSP-Struktur wird auf einer vorbestimmten Leiterplatte durch Schmelzen der Hügelelektrode 4 angebracht.

Da auf dem Halbleiterchip 1 mit der CSP die Verbindungszwischenverbindung 3 und die Hügelelektrode 4 gebildet sind, müssen Leitungsanschlüsse und einen Leistungsanschluß und einen Kontaktblock des Halbleiterchips verbindende Drähte, die bei herkömmlichen Verpackungen benötigt werden, nicht vorgesehen sein. Dies eliminiert die Notwendigkeit eines dicken Formgusses, der erforderlich war, um die Leitungsanschlüsse und die Drähte zu bedecken. Daher kann die Dicke des Formgusses bedeutend verkleinert werden. Tatsächlich erlaubt die CSP eine Verpackung mit im wesentlichen derselben Größe wie der eines Halbleiterchips.

Da die Zwischenverbindung 3 mittels Photolithographie gebildet wird, kann die Länge und die Pfadkonfiguration der Verbindungszwischenverbindung 3 willkürlich festgesetzt sein. Die Verbindung zwischen der Hügelelektrode 4 und dem Kontaktblock 2 kann leicht verwirklicht werden, selbst wenn die Hügelelektrode 4 und der Kontaktblock 2 an willkürlichen Stellen gebildet sind. Ferner können durch Bilden der Zwischenverbindung 3, derart daß die Länge zwischen der Hügelelektrode 4 und dem Kontaktblock 2 verkleinert wird, die Drahtinduktivität und die Eingangskapazität vergrößert werden, um die elektrischen Charakteristiken zu verbessern.

Fig. 31 zeigt eine CSP, bei welcher mit einem an einer willkürlichen Stelle angeordneten Kontaktblock 2 eine Verbindungszwischenverbindung 3 vorgesehen ist. Wie in Fig. 31 dargestellt, sind an willkürlichen Stellen, die mit den entsprechenden Hügelelektroden 4 mittels der durch Photolithographie vertikal und horizontal gebildeten Verbindungszwischenverbindung 3 verbunden sind, die jeweiligen Kontaktblöcke 2 gebildet.

Wie in Fig. 31 gezeigt, kann eine CSP einen Kontaktblock 2, eine Verbindungszwischenverbindung 3 und eine Hügelelektrode 4 aufweisen, die an willkürlichen

Stellen auf einem Halbleiterchip 1 gebildet sind. Beim Bilden der Hügelelektrode 4 und beim Anbringen der CSP auf einer Leiterplatte wird auf ein unter der Hügelelektrode 4 vorgesehenes Halbleiterelement eine Spannung ausgeübt. Es war daher notwendig, dafür zu sorgen, daß die beim Bilden der Hügelelektrode 4 und beim Anbringen der CSP auf einer Leiterplatte verursachte Spannung so klein wie möglich ist.

Der Vorteil des Bildens des Kontaktblocks 2 oder dergleichen an einer willkürlichen Stelle auf dem Halbleiterchip mit der CSP wurde gerade zum Verbinden des Kontaktblocks 2 mit der Hügelelektrode 4 mittels der Verbindungszwischenverbindung 3 verwendet, wie in den Fig. 30 und 31 gezeigt.

In einem Halbleiterspeicher wie beispielsweise einem DRAM (dynamischer Speicher mit wahlfreiem Zugriff) wird die Chipfläche vergrößert, wenn seine Kapazität größer wird. Doch die Forderung nach einer Vergrößerung der Geschwindigkeit und einer Verkleinerung des Verbrauchsstroms ist unersättlich. Eine Zunahme der Länge des Verdrahtungspfades auf einem Chip infolge einer größeren Chipfläche ergibt eine größere Verzögerung bei der Signalübertragung, was einen Hochgeschwindigkeitsbetrieb verhindert.

Ferner ist eine größere Nachfrage nach einer x16/x32/x64-Konfiguration als nach einer x1/x4/x8-Konfiguration vorhanden, was die Anzahl der einer Vielbitstrukturanforderung entsprechenden Dateneingangs/Datenausgangsanschlüsse anbelangt. Eine Vergrößerung der Anzahl von Bits wird eine größere Anzahl von Ausgangspuffern und Bondkontaktblöcken erfordern, was folglich eine größere Chipfläche ergeben wird. Auch das Problem eines Stromversorgungsrauschens wird beachtenswert.

Ferner gibt es einen Trend zu einem sowohl den Speicher als auch die Logik aufnehmenden Systemchip hin. Daher wird eine entsprechende Verpackungstechnologie benötigt.

Eine Aufgabe der vorliegenden Erfindung ist es, eine Halbleiterverpackung vorzusehen, welche eine Hügelelektrode aufweist, die so angeordnet ist, daß sie die auf ein darunterliegendes Halbleiterelement ausgeübte Spannung berücksichtigt, um eine Verkleinerung der Zuverlässigkeit als Halbleitereinrichtung zu verhindern.

Eine andere Aufgabe der vorliegenden Erfindung ist es, eine Halbleiterverpackung vorzusehen, welche das Merkmal der CSP wirksam ausnutzt.

Eine weitere Aufgabe der vorliegenden Erfindung ist es, eine Halbleiterverpackung vorzusehen, welche selbst in einem Halbleiterspeicher mit großer Kapazität einen Hochgeschwindigkeitsbetrieb aufrechterhalten kann.

Eine andere Aufgabe der vorliegenden Erfindung ist es, eine Halbleiterverpackung vorzusehen, die eine Vergrößerung der Chipfläche aufweisen kann und deren Stromversorgungsrauschen unterdrückt ist, selbst wenn die Anzahl von Bits vergrößert wird.

Eine Halbleiterverpackung der vorliegenden Erfindung enthält die im folgenden erklärten Merkmale unter der Voraussetzung, daß sie eine Halbleiterverpackung ist, welche eine Mehrzahl von externen Zwischenverbindungseinheiten enthält, die gebildet sind aus einer Hügelelektrode zur Verbindung mit der Außenwelt auf einer Hauptoberfläche eines Halbleiterchips mit einer integrierten Halbleitereinrichtung, einem auf dem Halbleiterchip gebildeten Kontaktblock zur Verbindung mit der integrierten Halbleitereinrichtung, und einer auf der Hauptoberfläche des Halbleiterchips mittels Photoli-

thographie gebildeten Verbindungszwischenverbindung zum elektrischen Verbinden des Kontaktblocks und der Hügelelektrode.

Wenn eine integrierte Halbleitereinrichtung eine zerbrechliche Schaltung enthält, deren Schaltungscharakteristiken durch einen äußeren Faktor wie beispielsweise eine mechanische Spannung leicht geändert werden, dann hat die Halbleiterverkappung gemäß einem Aspekt der vorliegenden Erfindung eine Hügelelektrode, die in einem Gebiet gebildet ist, das sich von dem oberen Abschnitt desjenigen Gebiets unterscheidet, in dem die zerbrechliche Schaltung vorgesehen ist.

Aufgrund dieser Anordnung wird verhindert, daß auf die zerbrechliche Schaltung mittels der Hügelelektrode in der Halbleiterverkappung des vorliegenden Aspekts eine mechanische Spannung ausgeübt wird.

Vorzugsweise ist die zerbrechliche Schaltung eine aus einem Paar von Transistoren gebildete Abtastverstärkerschaltung zum Abtasten und Verstärken einer kleinen Potentialdifferenz zwischen einem Paar von Bitleitungen.

Da die zerbrechliche Schaltung eine Transistorschaltung ist, wird eine Unausgeglichenheit der Betriebscharakteristiken des Transistorpaares infolge der mittels der Hügelelektrode ausgeübten mechanischen Spannung verhindert. Daher kann eine Verschlechterung des Abtastbetriebs der Abtastverstärkerschaltung verhindert werden.

Vorzugsweise ist die zerbrechliche Schaltung eine Analogschaltung, die mit einem kleinen Strom arbeitet.

Da die zerbrechliche Schaltung eine Analogschaltung ist, wird eine Verschlechterung des Betriebs der Analogschaltung infolge einer durch die Hügelelektrode ausgeübten mechanischen Spannung verhindert.

Eine Halbleiterverkappung gemäß einem anderen Aspekt der vorliegenden Erfindung enthält wenigstens einen Stromversorgungskontaktblock und eine Stromversorgungszwischenverbindung. Der Stromversorgungskontaktblock ist auf einer Hauptoberfläche des Halbleiterchips vorgesehen, um in eine integrierte Halbleitereinrichtung Strom zu liefern. Die Stromversorgungszwischenverbindung ist mit dem Stromversorgungskontaktblock verbunden und so vorgesehen, daß sie wenigstens einen Abschnitt jeder der Mehrzahl von externen Zwischenverbindungseinheiten umgibt.

Aufgrund der vorstehend beschriebenen Anordnung ist eine von der Stromversorgungszwischenverbindung umgebene externe Zwischenverbindungseinheit elektrisch abgeschirmt, so daß sie gegen eine andere externe Zwischenverbindungseinheit unempfindlich ist und einen elektrischen Einfluß auf eine andere externe Zwischenverbindungseinheit verhindert.

Vorzugsweise sind die wenigstens einen Abschnitt jeder der Mehrzahl von äußeren Zwischenverbindungseinheiten umgebenden Stromversorgungszwischenverbindungen in einer netzartigen Art und Weise gebildet, so daß sie miteinander verbunden sind. Eine Mehrzahl von Stromversorgungskontaktblöcken ist bezüglich der netzartigen Stromversorgungszwischenverbindung vorgesehen, um die Stromversorgungsimpedanz zu verkleinern.

Aufgrund dieser Anordnung kann die Belastung der Stromversorgung verkleinert werden.

Vorzugsweise ist zum Vermindern einer mittels der Hügelelektrode auf den Halbleiterchip ausgeübten mechanischen Spannung genau unter der Hügelelektrode und zwischen der Verbindungszwischenverbindung und der Hauptoberfläche des Halbleiterchips ein Span-

nungsverminderungsmaterial vorgesehen. Aufgrund dieser Anordnung wird verhindert, daß auf die integrierte Halbleitereinrichtung eine mechanische Spannung ausgeübt wird.

Eine Halbleiterverkappung gemäß einem weiteren Aspekt der vorliegenden Erfindung weist eine integrierte Halbleitereinrichtung auf, die eine mit einem Kontaktblock direkt verbundene Eingangs/Ausgangspufferschaltung enthält. Die mit der Eingangs/Ausgangspufferschaltung mittels des Kontaktblocks elektrisch verbundene Hügelelektrode ist in der Nähe der Eingangs/Ausgangspufferschaltung vorgesehen.

Aufgrund dieser Anordnung kann der Zwischenverbindungspfad zwischen der Hügelelektrode und der Eingangs/Ausgangspufferschaltung verkürzt werden, um eine Verzögerung bei der Signalübertragung zwischen ihnen zu verhindern. Daher kann ein Hochgeschwindigkeitsbetrieb aufrechterhalten werden, selbst wenn die Kapazität eines Halbleiterspeichers oder dergleichen vergrößert wird. Ferner können infolge der Verkleinerung der Zwischenverbindungspfadlänge ein "Adressensetzen" und eine "Haltegrenze" verbessert werden.

Vorzugsweise enthält die integrierte Halbleitereinrichtung eine Mehrzahl von Speichermatten und eine Masterperiphererschaltung, die die Mehrzahl von Speichermatten teilt und eine Speichermatte unabhängig steuert. Die Speichermatte enthält eine Mehrzahl von Speichergebieten mit einem Speicherelement und eine lokale Periphererschaltung, die die Mehrzahl von Speichergebieten teilt und das Speicherelement in jedem Speichergebiet unabhängig steuert.

Die integrierte Halbleitereinrichtung weist eine sogenannte hierarchische Speicherstruktur auf. Somit kann ein Halbleiterspeicher mit hierarchischer Speicherstruktur erhalten werden, der einen Hochgeschwindigkeitsbetrieb aufrechterhalten kann, selbst wenn die Kapazität vergrößert wird.

Vorzugsweise ist ferner eine auf der Hauptoberfläche des Halbleiterchips gebildete zweite Verbindungszwischenverbindung vorgesehen. Die Masterperiphererschaltung und die lokale Periphererschaltung sind mittels dieser zweiten Verbindungszwischenverbindung elektrisch verbunden.

Die zweite Verbindungszwischenverbindung ist auf der Hauptoberfläche des Halbleiterchips gebildet. Da auf der Hauptoberfläche des Halbleiterchips keine Elemente und Schaltungen gebildet sind, kann eine große Leitungsbreite der zweiten Verbindungszwischenverbindung gesichert werden. Ein für die Zwischenverbindung geeignetes Material kann gewählt werden, da die Beschränkung bezüglich des Materials der zweiten Zwischenverbindung nicht streng ist. Daher kann die Impedanz der zweiten Verbindungszwischenverbindung verkleinert werden, was folglich eine Verkleinerung der Zeitkonstante erlaubt und eine Verzögerung bei der Signalübertragung verhindert.

Vorzugsweise ist die Hügelelektrode, durch die mittels der Masterperiphererschaltung ein in jede der Mehrzahl von Speichermatten übertragenes Signal aufgenommen wird, auf dem Gebiet gebildet, in dem die Masterperiphererschaltung vorgesehen ist. Jede der Mehrzahl von Speichermatten ist so angeordnet, daß sie bezüglich der Lage der Hügelelektrode symmetrisch ist. Die Zwischenverbindung aus der Hügelelektrode in die Mehrzahl der Speichermatten ist so angeordnet, daß sie bezüglich der Lage der Hügelelektrode symmetrisch ist.

Aufgrund dieser symmetrischen Anordnung kann je-

de Zwischenverbindung aus der Hügelelektrode in die entsprechenden Speichermatten so angeordnet sein, daß sie bezüglich der Hügelelektrode symmetrisch ist. Ein Eingangssignal wird zunächst in die jede Speichermatte steuernde Masterperipheralschaltung aufgenommen. Daher ist die Übertragungsentfernung eines Signals aus der Hügelelektrode in jede der Mehrzahl von Speichermatten im wesentlichen identisch. Im Ergebnis kann eine Phasenverschiebung eines an jede Speichermatte angelegten Signals, d. h. die Verzerrung, bedeutend verkleinert werden.

Vorzugsweise ist die Übertragungsentfernung eines Eingangssignals aus der Hügelelektrode in jede der Mehrzahl von Speichermatten im wesentlichen identisch.

Infolge dieser Anordnung kann die Verzerrung für jede Speichermatte verkleinert werden.

Vorzugsweise ist eine Ausgangshügelelektrode zum Vorsehen eines Ausgangssignals aus einem Speicherelement in die Außenwelt elektrisch verbunden mit einem Ausgangspuffer, der in einem Gebiet der lokalen Peripheralschaltung vorgesehen ist. Diese Ausgangshügelelektrode ist auf einem Gebiet angeordnet, in dem die lokale Peripheralschaltung vorgesehen ist.

Die Ausgangshügelelektrode kann in der Nähe der auf einem Gebiet der lokalen Peripheralschaltung angeordneten Ausgangspufferschaltung angeordnet sein. Daher kann die Verzögerung eines Ausgangssignals aus der Ausgangspufferschaltung in die Hügelelektrode verhindert werden.

Vorzugsweise enthält die Verbindungszwischenverbindung eine erste und eine zweite Verbindungszwischenverbindung, die voneinander elektrisch isoliert sind und auf verschiedenen Niveaus auf der Hauptoberfläche des Halbleiterchips verlaufen.

Aufgrund der ersten und der zweiten Verbindungszwischenverbindung, die auf verschiedenen Niveaus verlaufen, kann im Vergleich zu dem Fall, in dem die erste und die zweite Zwischenverbindung auf demselben Niveau gebildet sind, der Freiheitsgrad der Anordnung der Verbindungszwischenverbindung vergrößert werden. Daher können verschiedenartige Zwischenverbindungsstrukturen angepaßt sein, während die elektrische Isolation der ersten und der zweiten Verbindungszwischenverbindung aufrechterhalten wird.

Vorzugsweise enthält die Verbindungszwischenverbindung eine erste und eine zweite Verbindungszwischenverbindung, die auf demselben Niveau auf der Hauptoberfläche des Halbleiterchips verlaufen. An einer Kreuzung der ersten und der zweiten Verbindungszwischenverbindung wird der elektrische Isolationszustand der ersten und der zweiten Verbindungszwischenverbindung mittels einer der ersten und der zweiten Zwischenverbindung, die mit einer in dem Halbleiterchip gebildeten leitenden Schicht elektrisch verbunden ist, aufrechterhalten.

Da die erste und die zweite Verbindungszwischenverbindung, die auf demselben Niveau verlaufen, durch Verwenden einer leitenden Schicht in einem Halbleiterchip ihren Isolationszustand aufrechterhalten können, ist es leicht, sich an verschiedenartige Zwischenverbindungsstrukturen zu halten.

Vorzugsweise ist auf einem Gebiet, in dem die die Ausgangspufferschaltung enthaltende lokale Peripheralschaltung vorgesehen ist, die Stromversorgungshügelelektrode zum Liefern einer Stromversorgung in die Ausgangspufferschaltung angeordnet.

Aufgrund dieser Anordnung kann aus der Hügelelek-

trode in die Ausgangspufferschaltung mittels eines kurzen Zwischenverbindungspfadcs Strom geliefert werden. Daher kann eine Stromversorgung mit kleiner Impedanz mit kleinem Rauschen verwirklicht werden.

Vorzugsweise ist die Ausgangshügelelektrode, die mit jedem der Mehrzahl von Speicherelementen in einem Speichergebiet und mit einem Datenbus zum Dateneingang/-ausgang mit der Mehrzahl von Speicherelementen elektrisch verbunden ist, auf dem Speichergebiet und in der Nähe desselben angeordnet.

Aufgrund dieser Anordnung kann der Datenbus verkürzt werden. Daher wird ein Zugriff nicht verschlechtert, selbst wenn die Anzahl von Bits vergrößert wird.

Vorzugsweise enthält die Masterperipheralschaltung eine Mattenwahlschaltung, die eine der Mehrzahl von Speichermatten wählt und betreibbar macht und eine Lieferung von Strom zu der lokalen Peripheralschaltung innerhalb einer nichtgewählten Speichermatte hin unterbricht.

Eine spezielle Matte kann gewählt werden, so daß sie durch die Mattenwahlschaltung betreibbar gemacht wird. Da durch die Mattenwahlschaltung für eine nichtgewählte Matte die Stromlieferung zur lokalen Peripheralschaltung hin unterbrochen wird, kann im Vergleich zu dem Fall, in dem an eine nichtgewählte Matte eine vorbestimmte Spannung angelegt ist, um ihren Bereitschaftszustand festzusetzen, der Verbrauchsstrom verkleinert werden.

Vorzugsweise enthält die Masterperipheralschaltung eine Mattenwahlschaltung, die eine vorbestimmte Anzahl von Speichermatten wählt und betreibbar macht und eine Stromlieferung in die lokale Peripheralschaltung der nichtgewählten Speichermatte unterbricht.

Da gemäß der Mattenwahlschaltung die Anzahl der zu wählenden Speichermatten geändert werden kann, kann gemäß der gewählten Anzahl von Speichermatten die Anzahl von Bits verändert werden. Daher kann die Speichergröße als veränderlicher Modul festgesetzt werden. Ferner kann der Verbrauchsstrom verkleinert werden, da durch die Mattenwahlschaltung eine Stromlieferung zu der lokalen Peripheralschaltung in der nichtgewählten Speichermatte hin verhindert wird.

Vorzugsweise ist innerhalb des Halbleiterchips eine leitende Schicht zur Stromversorgung zum Liefern einer Stromversorgungsspannung in die Elemente in der integrierten Halbleitereinrichtung gebildet. Die Verbindungszwischenverbindung, die mit der Stromversorgungsspannung aus der Hügelelektrode versehen ist, verläuft in einer die Richtung des Verlaufs der leitenden Schicht zur Stromversorgung kreuzenden Richtung und ist mit der leitenden Schicht zur Stromversorgung elektrisch verbunden.

Durch das elektrische Verbinden der Verbindungszwischenverbindung mit der leitenden Schicht zur Stromversorgung kann das Potential der leitenden Schicht zur Stromversorgung vergrößert werden.

Vorzugsweise ist das Element eine aus einem Transistorpaar gebildete Abtastverstärkerschaltung zum Abtasten und Verstärken einer kleinen Potentialdifferenz zwischen einem Bitleitungspaar. Die Verbindungszwischenverbindung und die leitende Schicht zur Stromversorgung sind so angeordnet, daß sie netzartig in einer Ebene sind.

Da das Potential der mit der Abtastverstärkerschaltung verbundenen leitenden Schicht zur Stromversorgung vergrößert wird, kann ein stabiler Betrieb der Abtastverstärkerschaltung erreicht werden.

Vorzugsweise enthält der Halbleiterchip einen mit

einer Sondennadel einer Sondereinrichtung in einem Testmodus in Kontakt gebrachten Testkontaktblock zum Testen. Der Testkontaktblock ist auf der Hauptoberfläche des Halbleiterchips vorgesehen und auf einem Gebiet gebildet, das sich von dem Gebiet unterscheidet, in dem die integrierte Halbleitereinrichtung gebildet ist.

Der Halbleiterchip erlaubt ein Wafertesten mittels einer Sondereinrichtung, da er einen Kontaktblock zum Testen enthält.

Vorzugsweise sind für einen Testmodusbetrieb ferner ein durch ein externes Testsignal aktivierter Oszillator und ein Steuersignalgenerator zum Erzeugen verschiedener Steuersignale mittels des Oszillators vorgesehen. Der Steuersignalgenerator ist mit der Masterperiphereschaltung verbunden, so daß an die Masterperiphereschaltung ein aus dem Steuersignalgenerator vorgesehenes Signal angelegt ist.

Da in dem Halbleiterchip mittels eines externen Testsignals ein Steuersignal, wie beispielsweise das RAS und das CAS jeden Adressensignals, und Testmuster erzeugt werden können, kann im Vergleich zu dem Fall, in dem an den Halbleiterchip diese Signale von außen angelegt sind, die Anzahl von Kontaktblöcken zum Testen verkleinert werden.

Vorzugsweise ist zum aufeinanderfolgenden Speichern eines Nichtfehler/Fehlerzustandes von aus jeder der Mehrzahl von Speichermatten erhaltenen Testdaten und zum aufeinanderfolgenden Vorsehen des gespeicherten Nichtfehler/Fehlerzustandes der Testdaten ferner ein Schieberegister vorgesehen.

Vorzugsweise wird aus dem in dem Halbleiterchip vorgesehenen Testkontaktblock ein Signal ausgegeben, das den Nichtfehler/Fehlerzustand der aus dem Schieberegister vorgesehenen Testdaten anzeigt.

Der Nichtfehler/Fehlerzustand der Mehrzahl von Testdaten kann in einen Ausgangskontaktblock mittels des Schieberegisters aufeinanderfolgend ausgegeben werden. Daher kann die Anzahl der zum Testen in dem Halbleiterchip benötigten Kontaktblöcke verkleinert werden.

Vorzugsweise sind ein Testkontaktblock und ein Kontaktblock mittels verschiedener Zwischenverbindungspfade mit der lokalen Periphereschaltung elektrisch verbunden. Die erste Zwischenverbindung zwischen dem Testkontaktblock und der lokalen Periphereschaltung kann zwischen einem verbundenen und einem nichtverbundenen Zustand geschaltet werden. Auch die zweite Zwischenverbindung zwischen dem Kontaktblock und der lokalen Periphereschaltung kann zwischen einem verbundenen und einem nichtverbundenen Zustand geschaltet werden. In einem Testmodus erreicht die erste Zwischenverbindung einen verbundenen Zustand und die zweite Zwischenverbindung einen nichtverbundenen Zustand. In einem Normalbetriebsmodus erreicht die erste Zwischenverbindung einen nichtverbundenen Zustand und die zweite Zwischenverbindung einen verbundenen Zustand.

Da die Verbindung/Nichtverbindung der ersten und der zweiten Zwischenverbindung gewählt werden kann, kann der Testkontaktblock mit der lokalen Periphereschaltung im Testmodus elektrisch verbunden sein und kann der Kontaktblock mit der lokalen Periphereschaltung im Normalbetriebsmodus elektrisch verbunden sein.

Vorzugsweise ist ferner eine Schaltung zum Bestimmen einer fehlerhaften Adresse eines Speicherelements aus der Nichtfehlerhaftigkeit/Fehlerhaftigkeit der aus

jeder Speichermatte erhaltenen Testdaten und zum Speichern der fehlerhaften Adresse vorgesehen. Ein Signal einer fehlerhaften Adresse wird aus dieser Schaltung aufeinanderfolgend ausgegeben.

5 Vorzugsweise wird das Signal einer fehlerhaften Adresse, das aus jener Schaltung vorgesehen ist, die eine fehlerhafte Adresse bestimmt und speichert, aus dem in dem Halbleiterchip vorgesehenen Testkontaktblock ausgegeben.

10 Die fehlerhafte Adresse kann mittels der Schaltung, die die fehlerhafte Adresse eines Speicherelements bestimmt und speichert, als Paket ausgegeben werden.

Vorzugsweise ist auf der Hauptoberfläche des Halbleiterchips die Stromversorgungszwischenverbindung 15 so vorgesehen, daß sie die Zwischenverbindung umgibt, an die ein vorbestimmtes Potential angelegt ist. Diese Stromversorgungszwischenverbindung ist so gebildet, daß ein Strom nicht geleitet wird.

Aufgrund dieser Anordnung ist die Zwischenverbindung elektrisch abgeschirmt, so daß sie gegen eine andere externe Zwischenverbindungseinheit unempfindlich ist und einen elektrischen Einfluß auf eine andere externe Zwischenverbindungseinheit verhindert.

Vorzugsweise ist eine Mehrzahl von Hügelelektroden 25 so angeordnet, daß sie voneinander getrennt und von der Oberfläche der ganzen Halbleiterverkappung enthüllt sind.

Vorzugsweise enthält die Mehrzahl von Hügelelektroden eine Hügelelektrode, die mit einem Kontaktblock nicht elektrisch verbunden ist.

30 Aufgrund der Mehrzahl der über der ganzen Oberfläche der Halbleiterverkappung gebildeten Hügelelektroden kann die Wärmeabstrahlung der Halbleiterverkappung verbessert werden. Daher kann der Wärmewiderstand verkleinert werden.

Vorzugsweise ist auch auf der Rückseite der Halbleiterverkappung eine Mehrzahl von voneinander beabstandeten Hügelelektroden angeordnet.

Durch das Bilden der Hügelelektroden auch auf der Rückseitenoberfläche kann die Wärmeabstrahlung der Verkappung weiter verbessert werden, so daß der Wärmewiderstand verkleinert wird.

Vorzugsweise ist eine Vergleichseinrichtung, die eine vorbestimmte Anzahl von Speicherelementen aus einer Speichermatte wählt, um das Übereinstimmen/Nicht- 45 Übereinstimmen der Logik der vorbestimmten Anzahl von Speicherelementen zu bestimmen, und die das Bestimmungsergebnis vorsieht, nur mit einer der Mehrzahl von Speichermatten verbunden.

50 Da die Übertragungsentfernung eines an jede der Mehrzahl von Speichermatten angelegten Signals aus einer Hügelelektrode im wesentlichen gleich ist, ist die Zeit für einen Zugriff auf diese Matten auch im wesentlichen identisch. Durch das Vorsehen der Vergleichseinrichtung in nur einer Speichermatte und durch Messen der Zugriffszeit dieser Speichermatte kann eine Messung der Zugriffszeitperiode für andere Speichermatten weggelassen werden. Mit anderen Worten, ein sogenannter I/O-Falschdegenerationstest ist erlaubt.

60 Eine Halbleiterverkappung gemäß einem anderen Aspekt der vorliegenden Erfindung enthält einen Halbleiterchip mit einer integrierten Halbleitereinrichtung. Die integrierte Halbleitereinrichtung enthält eine Mehrzahl von Speichermatten und eine Masterperiphereschaltung, die die Mehrzahl von Speichermatten teilt und eine Speichermatte unabhängig steuert. Eine Speichermatte enthält eine Mehrzahl von Speicherelementen. Eine Schaltung zum Bestimmen einer fehlerhaf-

ten Adresse eines Speicherelements aus dem Nichtfehler/Fehlerzustand der aus jeder der Mehrzahl von Speichermatten in einem Testmodus erhaltenen Testdaten und zum Speichern der fehlerhaften Adresse ist auch vorgesehen. Ein Signal der fehlerhaften Adresse wird aus dieser Schaltung aufeinanderfolgend ausgegeben.

Mittels dieser Schaltung zum Bestimmen und Speichern einer fehlerhaften Adresse eines Speicherelements kann eine fehlerhafte Adresse in einem Paket ausgegeben werden.

Eine Halbleiterverkappung gemäß einem weiteren Aspekt der vorliegenden Erfindung enthält eine Mehrzahl von externen Zwischenverbindungseinheiten, die gebildet sind aus einer Hügelelektrode auf einer Hauptoberfläche eines Halbleiterchips mit einer integrierten Halbleitereinrichtung zur Verbindung mit der Außenwelt, einem auf dem Halbleiterchip gebildeten Kontaktblock zur Verbindung mit der integrierten Halbleitereinrichtung, und einer auf der Hauptoberfläche des Halbleiterchips mittels Photolithographie gebildeten Verbindungszwischenverbindung zum elektrischen Verbinden des Kontaktblocks und der Hügelelektrode. Eine Stromversorgungszwischenverbindung ist auf der Hauptoberfläche des Halbleiterchips so vorgesehen, daß sie eine Verbindungszwischenverbindung umgibt, an die ein vorbestimmtes Potential angelegt ist. Diese Stromversorgungszwischenverbindung ist so vorgesehen, daß kein Strom geleitet wird.

Aufgrund dieser Anordnung ist diese Verbindungszwischenverbindung elektrisch abgeschirmt und gegen eine andere externe Zwischenverbindungseinheit elektrisch unempfindlich und verhindert sie einen elektrischen Einfluß auf eine andere externe Zwischenverbindungseinheit.

Eine Halbleiterverkappung gemäß einem weiteren Aspekt der vorliegenden Erfindung enthält einen Kontaktblock auf einer Hauptoberfläche eines Halbleiterchips mit einer integrierten Halbleitereinrichtung. Die integrierte Halbleitereinrichtung enthält eine Mehrzahl von Speichermatten und eine Masterperipheralschaltung, die die Mehrzahl von Speichermatten teilt und eine Speichermatte unabhängig steuert. Eine Speichermatte enthält eine Mehrzahl von Speicherelementen. Jede der Mehrzahl von Speichermatten ist so angeordnet, daß die Übertragungsentfernung eines an jede der Mehrzahl von Speichermatten angelegten Signals aus einem Kontaktblock im wesentlichen gleich ist. Eine Vergleichseinrichtung, die eine vorbestimmte Anzahl von Speicherelementen aus einer Speichermatte wählt, so daß sie ein Übereinstimmen/Nichtübereinstimmen der Logik der vorbestimmten Anzahl von Speicherelementen bestimmt und das Bestimmungsergebnis vorsieht, ist mit nur einer der Mehrzahl von Speichermatten verbunden.

Da die Übertragungsentfernung des an jede der Mehrzahl von Speichermatten angelegten Signals aus einer Hügelelektrode in der Halbleiterverkappung im wesentlichen gleich ist, ist die Zeit für einen Zugriff auf diese Matten auch identisch. Daher kann durch das Versehen der Vergleichseinrichtung mit einer Speichermatte und durch Messen der Zugriffszeit dieser Speichermatte eine Messung der Zugriffszeit der anderen Speichermatten weggelassen werden. Mit anderen Worten, der sogenannte I/O-Falschdegenerationstest ist erlaubt.

Bei einer Halbleiterverkappung gemäß einem anderen Aspekt der vorliegenden Erfindung, welche eine Mehrzahl von externen Zwischenverbindungseinheiten enthält, die gebildet sind aus einer Hügelelektrode zur

Verbindung mit einem Außenanschluß, welche auf einer Hauptoberfläche eines eine integrierte Halbleitereinrichtung enthaltenden Halbleiterchips vorgesehen ist, einem auf dem Halbleiterchip gebildeten Kontaktblock zur Verbindung mit der integrierten Halbleitereinrichtung, und einer Verbindungszwischenverbindung zum elektrischen Verbinden des Kontaktblocks und der Hügelelektrode, enthält die integrierte Halbleitereinrichtung eine Mehrzahl von Speichermatten und eine Masterperipheralschaltung zum Teilen der Mehrzahl von Speichermatten und unabhängigen Steuern jeder Speichermatte. Diese Speichermatte enthält eine Mehrzahl von Speicherarrays und eine lokale Peripheralschaltung zum Teilen der Mehrzahl von Speicherarrays und unabhängigen Steuern jeden Speicherarrays.

Bei einer Halbleiterverkappung gemäß einem anderen Aspekt der vorliegenden Erfindung ist zur Verbindung mit einem Außenanschluß, wie beispielsweise mit dem einer CSP-Struktur und einer BGA-Struktur, eine Hügelelektrode vorgesehen. Die Hügelelektrode kann über der ganzen Oberfläche des Halbleiterchips angeordnet sein. Dies verhindert eine Zunahme der Größe der Halbleiterverkappung, wie beispielsweise einer QFP, und verhindert die Erzeugung einer großen Kapazität zwischen den Leitungen, selbst in dem Fall, in dem auf einer Halbleiterverkappung hierarchische und hochintegrierte Speicher angebracht sind.

Die vorstehenden und andere Aufgaben, Merkmale, Aspekte und Vorteile der vorliegenden Erfindung werden aus der folgenden detaillierten Beschreibung der vorliegenden Erfindung augenscheinlicher werden, wenn diese in Verbindung mit den beigefügten Zeichnungen zur Kenntnis genommen wird.

Von den Figuren zeigen:

Fig. 1 und 2 jeweils eine Draufsicht einer Halbleiterverkappung entsprechend gemäß einer ersten und einer zweiten Ausführungsform der vorliegenden Erfindung;

Fig. 3 eine Teilschnittansicht einer allgemeinen CSP;

Fig. 4 eine Teilschnittansicht einer Halbleiterverkappung gemäß einer dritten Ausführungsform der vorliegenden Erfindung;

Fig. 5 eine Draufsicht, die eine Halbleiterverkappung gemäß einer vierten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 6 eine schematische Draufsicht der vergrößerten dargestellten Matte der Fig. 5;

Fig. 7 ein Blockschaltbild, das die Verbindung eines Hügelkontaktblocks mit einer lokalen Peripheralschaltung zeigt;

Fig. 8 eine Darstellung eines Beispiels eines Adressensetzens und einer Haltegrenze;

Fig. 9 eine schematische Draufsicht, die einen vergrößerten Mattenabschnitt der Fig. 5 zeigt;

Fig. 10 eine Teilschnittansicht einer auf verschiedenen Schichten gebildeten Rahmenzwischenverbindungsschicht;

Fig. 11 eine schematische Perspektivansicht der Struktur einer Rahmenzwischenverbindungsschicht, die in einer sogenannten Unterkreuzungsart gebildet ist;

Fig. 12 eine Teilschnittansicht, die die Struktur einer in der sogenannten Unterkreuzungsart gebildeten Rahmenzwischenverbindungsschicht zeigt;

Fig. 13 eine schematische Draufsicht, die eine Vergrößerung einer Matte einer Halbleiterverkappung gemäß einer fünften Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 14 ein Blockschaltbild zum Beschreiben einer Mattenwahlfunktion;

Fig. 15 eine Draufsicht, die die Struktur einer Rahmenzwischenverbindung einer Halbleiterverkappung gemäß einer siebenten Ausführungsform der vorliegenden Erfindung schematisch zeigt;

Fig. 16 eine Teildraufsicht, welche den P-Abschnitt der Fig. 15 vergrößert darstellt;

Fig. 17 eine Teildraufsicht, die einen mit einer Abtastverstärkerstromversorgungsleitung elektrisch verbundenen Hügelkontaktblock zeigt;

Fig. 18 eine schematische Draufsicht, die eine Anordnung von Bondkontaktblöcken in einer Halbleiterverkappung gemäß einer achten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 19 ein Blockschaltbild zum Beschreiben eines Abtast-BIST-Tests einer Halbleiterverkappung gemäß der achten Ausführungsform der vorliegenden Erfindung;

Fig. 20 eine schematische Draufsicht, die die Anordnung eines Hügelkontaktblocks bei einer Halbleiterverkappung gemäß einer elften Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 21 ein Blockschaltbild zum Beschreiben des Unterschiedes des Zugriffspfades zwischen einem Normalbetrieb und einem Testbetrieb, wenn ein Testmodus aufgenommen ist;

Fig. 22 ein Blockschaltbild, das die Verbindung einer Vergleichseinrichtung mit einer Matte zeigt;

Fig. 23 eine Schnittansicht einer Halbleiterverkappung mit einer BGA-Struktur gemäß einer dreizehnten Ausführungsform der vorliegenden Erfindung;

Fig. 24 eine Perspektivansicht jeder leitenden Schicht, die eine Leiterplatte 105 bildet;

Fig. 25 eine Schnittansicht einer Leiterplatte;

Fig. 26 eine Draufsicht des Layouts eines in der Halbleiterverkappung der dreizehnten Ausführungsform eingebauten Halbleiterchips;

Fig. 27 eine Darstellung, welche beschreibt, daß auf der obersten Schicht in einem Chip die Zwischenverbindung zum Verbinden eines Kontaktblocks und einer lokalen Periphereschaltung gebildet ist;

Fig. 28 eine Draufsicht, welche eine Anordnung von Lothügeln insbesondere bei der Halbleiterverkappung der dreizehnten Ausführungsform schematisch zeigt;

Fig. 29 eine Schnittansicht eines Lothügels, der mit einem Kontaktblock elektrisch verbunden ist;

Fig. 30 eine Perspektivansicht, welche die Struktur einer allgemeinen CSP zeigt; und

Fig. 31 eine Draufsicht, welche die Struktur einer allgemeinen CSP zeigt.

Die erste Ausführungsform

Als Halbleiterverkappung gemäß einer ersten Ausführungsform der vorliegenden Erfindung wird nachstehend eine DRAM-Verkappung mit der CSP-Struktur beschrieben, welche eine Hügelelektrode aufweist, die in Anbetracht einer auf einer Unterschicht gebildeten Abtastverstärkerschaltung angeordnet ist.

Im allgemeinen ist eine Abtastverstärkerschaltung eines DRAM eine zerbrechliche Schaltung, die Schaltungscharakteristiken aufweist, die gemäß einem äußeren Faktor, wie beispielsweise einer während der Herstellung und während der Verwendung ausgeübten mechanischen Spannung, leicht verändert werden. Das Vorsehen einer Abtastverstärkerschaltung genau unter einer Hügelelektrode muß vermieden werden, da auf die Hügelelektrode eine mechanische Spannung ausgeübt wird, wenn die Hügelelektrode gebildet wird und

wenn die Hügelelektrode auf die Leiterplatte montiert wird.

Fig. 1 zeigt die Lagebeziehung einer Abtastverstärkerschaltung und einer Hügelelektrode einer DRAM-Verkappung mit CSP-Struktur.

Unter Bezugnahme auf Fig. 1 ist auf einer Hauptoberfläche eines Halbleiterchips 1 eine Mehrzahl von Kontaktblöcken 2 vorgesehen, die mit verschiedenen in dem Halbleiterchip 1 aufgenommenen Eingangs/Ausgangsanschlüssen verbunden sind. Eine Struktur zur Verbindung mit der Außenwelt, die gebildet ist aus einem Kontaktblock 2, einer Hügelelektrode 4 zur Verbindung mit der Leiterplatte, und einer den Kontaktblock 2 und die Hügelelektrode 4 verbindenden Verbindungszwischenverbindung 3 (nachstehend als "externe Zwischenverbindungseinheit" bezeichnet), ist in einer Mehrzahl von Stufen in zwei zueinander parallelen Reihen vorgesehen.

Hier enthält der Halbleiterchip 1 eine Abtastverstärkerschaltung. Das Gebiet, in dem die Abtastverstärkerschaltung vorgesehen ist, wird als Abtastverstärkergebiet SR bezeichnet. Das Gebiet, in dem eine Speicherzelle vorgesehen ist, wird als Speicherzellgebiet MR bezeichnet. Obwohl das Abtastverstärkergebiet SR und das Speicherzellgebiet MR mit einer Isolationsschicht oder dergleichen bedeckt sind und nicht gesehen werden können, sind zur Vereinfachung ihre Lagen mittels durchgehender Linien angezeigt.

Wie in Fig. 1 gezeigt, ist die Hügelelektrode 4 nicht über dem Abtastverstärkergebiet SR vorgesehen. Die Hügelelektrode 4 ist hauptsächlich in dem Speicherzellgebiet MR gebildet. Der Kontaktblock 2 ist auf einem sich von dem Abtastverstärkergebiet SR unterscheidenden Gebiet gebildet.

Da an einer willkürlichen Stelle auf einem sich von dem Abtastverstärkergebiet SR unterscheidenden Gebiet die Hügelelektrode 4 gebildet ist und die Verbindungszwischenverbindung 3 so angeordnet ist, daß sie mittels Photolithographie einen willkürlichen Pfad annimmt, kann eine Struktur erhalten werden, wie in Fig. 1 gezeigt.

Da der Abtastverstärker eine aus einem Paar von Transistoren gebildete Schaltung ist, die eine kleine Potentialdifferenz zwischen Bitleitungen abtastet und verstärkt, verhindert diese Struktur eine Unausgeglichenheit der Betriebscharakteristiken des Transistorpaares, welche durch eine auf ihn ausgeübte mechanische Spannung verursacht wird. Daher kann eine Verschlechterung des Abtastbetriebs verhindert werden.

Dasselbe trifft auf den Fall zu, in dem der Halbleiterchip 1 eine Schaltung, die mit einem kleinen Strom arbeitet, zum Beispiel eine Analogschaltung wie eine Stromspiegelschaltung, die eine Konstantstromquelle ist, enthält. Es ist eine Struktur vorgesehen, bei welcher die Hügelelektrode 4 nicht auf einem Gebiet gebildet ist, in dem eine Analogschaltung gebildet ist.

Die zweite Ausführungsform

Ein Beispiel einer CSP, die das Merkmal ausnutzt, daß an willkürlichen Stellen auf einem Halbleiterchip ein Kontaktblock, eine Verbindungszwischenverbindung und eine Hügelelektrode vorgesehen sein können, wird als Halbleiterverkappung einer zweiten Ausführungsform nachstehend beschrieben.

Unter Bezugnahme auf Fig. 2 ist auf einer Hauptoberfläche eines Halbleiterchips 1 ein Kontaktblock 2 gebildet, der mit verschiedenen in dem Halbleiterchip 1

eingebauten Eingangs/Ausgangsanschlüssen verbunden ist. Eine externe Zwischenverbindungseinheit, die einen Kontaktblock 2, eine Hügelelektrode 4 zur Verbindung mit der Leiterplatte und eine Verbindungszwischenverbindung 3 zur Verbindung zwischen dem Kontaktblock 2 und der Hügelelektrode 4 enthält, ist in einer Mehrzahl von Stufen in zwei zueinander parallelen Reihen vorgesehen. Eine Stromversorgungszwischenverbindung PL ist netzartig vorgesehen, so daß sie jede externe Zwischenverbindungseinheit umgibt.

In Fig. 2 ist die Netzzwischenverbindung geteilt in ein Netz, das mit einem eine Stromversorgungsspannung liefernden Stromversorgungspotentialkontaktblock Vcc verbunden ist, und ein Netz, das mit einem Massepotentialkontaktblock Vss eines Stromversorgungspotentials verbunden ist. Da die Stromversorgungszwischenverbindung PL unter Ausnutzung jenes Merkmals der CSP, daß mittels Photolithographie ein willkürlicher Zwischenverbindungspfad gebildet werden kann, vorgesehen ist, können der Zwischenraum und die Struktur des Netzes willkürlich festgesetzt sein.

Die verschiedenen innerhalb des Halbleiterchips 1 eingebauten Eingangs/Ausgangsanschlüsse sind durch das Einschließen jeder externen Zwischenverbindungseinheit mit der Stromversorgungszwischenverbindung PL elektrisch abgeschirmt. Daher kann zwischen benachbarten Taktanschlüssen das Rauschen verkleinert werden.

Es ist aus Fig. 2 zu erkennen, daß aufgrund einer kürzeren Zwischenverbindung 3 durch Bilden der Hügelelektrode 4 in der Nähe des Kontaktblocks 2 die Leitungseinduktivität verkleinert werden kann. Daher kann das Problem des Abfragens eines Datenausgangsanschlusses verbessert werden.

Durch das Bilden der Stromversorgungszwischenverbindung PL in einer netzartigen Weise können an geeigneten Stellen auf dem Halbleiterchip 1 der Stromversorgungskontaktblock Vcc und der Massepotentialkontaktblock Vss vorgesehen werden. Im Ergebnis kann die Stromversorgungsimpedanz auf dem Halbleiterchip 1 verkleinert werden. Daher kann bei einer Struktur mit einer großen Stromversorgungsbelastung wie beispielsweise bei einem Vielchipmodul, bei dem auf einer Leiterplatte eine Mehrzahl von Halbleiterverpackungen angebracht ist, die Belastung der Stromversorgung verkleinert werden.

Obwohl bei der Struktur der Fig. 2 alle externen Zwischenverbindungseinheiten auf dem Halbleiterchip 1 von der Stromversorgungszwischenverbindung PL umgeben sind, ist es nicht notwendig, alle externen Zwischenverbindungseinheiten mit der Stromversorgungszwischenverbindung PL zu umgeben. Zum Beispiel können nur diejenigen externen Zwischenverbindungseinheiten von der Stromversorgungszwischenverbindung PL selektiv umgeben sein, welche mit einem Taktanschluß, einem Dateneingangs/Datenausgangsanschluß, einem Referenzspannungsanschluß und dergleichen verbunden sind.

Ferner ist die Erfindung nicht auf die vorliegende Ausführungsform beschränkt, bei welcher die Stromversorgungszwischenverbindung PL mit der Netzstruktur sowohl mit dem Stromversorgungspotentialkontaktblock Vcc als auch mit dem Massepotentialkontaktblock Vss verbunden ist. Die Stromversorgungszwischenverbindung PL kann mit nur einem der Kontaktblöcke Vcc und Vss verbunden sein.

Die dritte Ausführungsform

Im Unterschied zu der Halbleiterverpackung der ersten Ausführungsform, die ein DRAM mit CSP-Struktur beschreibt, bei welchem die Hügelelektrode nicht über der Abtastverstärkerschaltung angeordnet ist, um die während der Bildung der Hügelelektrode und während des Verbindens der Hügelelektrode und der Leiterplatte auf die Hügelelektrode ausgeübte mechanische Spannung zu berücksichtigen, weist eine Halbleiterverpackung der vorliegenden dritten Ausführungsform eine CSP-Struktur auf, bei der die mechanische Spannung verkleinert werden kann.

Unter Bezugnahme auf Fig. 3 ist auf einem Substrat 1, in dem eine integrierte Halbleitereinrichtung und dergleichen gebildet sind, ein Kontaktblock 2 vorgesehen. Über dem Ganzen ist ein Passivierungsfilm 6 gebildet, so daß er den Kontaktblock 2 bedeckt.

Der Passivierungsfilm 6 ist auf einer Hauptoberfläche des Kontaktblocks 2 teilweise nicht vorhanden. Eine Verbindungszwischenverbindung 3 ist so vorgesehen, daß sie mit der Hauptoberfläche des Kontaktblocks 2 in Kontakt kommt. Die Verbindungszwischenverbindung 3 ist so vorgesehen, daß sie aus der Hauptoberfläche des Kontaktblocks 2 auf die Oberfläche des Passivierungsfilms 6 in einer vorbestimmten Richtung verläuft. Ein als Zwischenschichtisolationfilm dienendes Polyimidharz 7 ist auf der Hauptoberfläche des Passivierungsfilms 6 gebildet, so daß es die Verbindungszwischenverbindung 3 bedeckt. Ein Formharz (Epoxidharz) 5 ist über der ganzen Hauptoberfläche des Polyimidharzes 7 gebildet. Es ist ein Gebiet auf der Verbindungszwischenverbindung 3 vorhanden, das kein Polyimidharz 7 und kein Formharz 5 aufweist, die auf ihm gebildet sind. Eine Hügelelektrode 4 ist in diesem Gebiet mit einer Barriermetallschicht dazwischen vorgesehen.

Bei der CSP mit der vorstehend beschriebenen Struktur wird auf den Halbleiterchip genau unter der Hügelelektrode 4 während der Bildung der Hügelelektrode 4 und während des Montierens der Hügelelektrode 4 auf die Leiterplatte eine mechanische Spannung ausgeübt. Es ist allgemein bekannt, daß zum Beispiel in einer in einem Halbleiterchip vorgesehenen Halbleitereinrichtung die Transistorcharakteristik geändert und ein Leckstrom verursacht wird, wenn auf sie eine Spannung ausgeübt wird.

Fig. 4 zeigt eine Teilschnittansicht einer CSP, welche einen Pufferbelag genau unter der Hügelelektrode 4 zum Vermindern der Spannung enthält.

Unter Bezugnahme auf Fig. 4 ist eine Pufferschicht 8, die ein Spannungsverminderungsmaterial ist, zwischen einer Verbindungszwischenverbindung 3 und einem Passivierungsfilm 6 genau unter einer Hügelelektrode 4 selektiv vorgesehen. Die übrige Struktur ist der allgemeinen CSP ähnlich, die in Fig. 3 gezeigt ist. Die entsprechenden Teile haben dieselben zugewiesenen Bezugszeichen, und ihre Beschreibung wird anderweitig nicht wiederholt.

Die Pufferschicht 8 ist aus einem Material wie beispielsweise Polyimidharz oder dergleichen gebildet. Im Anschluß an das Auftragen des Polyimidharzes über dem ganzen Passivierungsfilm 6 mittels Schleuderbeschichtens wird die Pufferschicht 8 mittels Photolithographie selektiv gebildet.

Ähnlich wie die Verbindungszwischenverbindung 3 und der Kontaktblock 2 kann daher die Pufferschicht 8 an einer willkürlichen Stelle vorgesehen werden.

Durch das Vorhandensein der Pufferschicht 8 wird

während der Bildung der Hügelelektrode 4 und während des Anbringens der Hügelelektrode 4 auf der Leiterplatte die auf den Halbleiterchip 1 genau unter der Hügelelektrode 4 ausgeübte mechanische Spannung vermindert. Daher kann eine durch diese mechanische Spannung verursachte Verschlechterung der Halbleitereinrichtungscharakteristiken verhindert werden.

Durch das Verwenden der vorstehend beschriebenen CSP, die die Pufferschicht 8 enthält, bei der ersten Ausführungsform der Fig. 1 kann die Abtastverstärkerschaltung geschützt werden, derart daß die auf die Abtastverstärkerschaltung ausgeübte Spannung weiter verkleinert wird.

Daher kann eine Änderung der Schaltungscharakteristiken verhindert werden.

Ferner kann durch das Verwenden der vorliegenden die Pufferschicht 8 enthaltenden CSP bei der zweiten Ausführungsform der Fig. 2 die Möglichkeit einer auf eine darunterliegende Halbleitereinrichtung ausgeübten mechanischen Spannung verkleinert werden. Daher wird der Freiheitsgrad beim Anordnen der Hügelelektrode vergrößert, so daß eine Stromversorgungszwischenverbindung mit einem komplizierteren Niveau erlaubt ist.

Die vierte Ausführungsform

Fig. 5 zeigt eine Chipansicht eines hierarchischen Struktur aufweisenden DRAM mit großer Kapazität. Fig. 6 ist eine Vergrößerung der oberen linken Matte (Schraffurabschnitt) der Fig. 5.

Unter Bezugnahme auf die Fig. 5 und 6 enthält ein Halbleiterchip 1 beispielsweise vier Matten 12 und eine jede Matte 12 steuernde Masterperipheralschaltung 11. Die Masterperipheralschaltung 11 ist zwischen jeder Matte 12 kreuzweise angeordnet. Jede Matte 12 enthält ein Speicherarray 14 und eine lokale Peripheralschaltung 13 zum Steuern eines entsprechenden Speicherarrays 14.

Eine Eingangspufferschaltung (nicht dargestellt) ist innerhalb des Gebietes gebildet, in dem die Masterperipheralschaltung 11 gebildet ist. Ein Hügelkontaktblock 4 zum Eingang ist so vorgesehen, daß er mit der Eingangspufferschaltung mittels eines Kontaktblocks und einer Rahmenzwischenverbindung (nicht dargestellt) elektrisch verbunden ist. Dieser Eingangshügelkontaktblock 4 ist auf einem Gebiet in der Nähe der Eingangspufferschaltung gebildet.

Wie in Fig. 7 gezeigt, ist der Hügelkontaktblock 4 mit einer Eingangssignalpegelumwandlungsschaltung 11a innerhalb einer Masterperipheralschaltung mittels einer Eingangspufferschaltung verbunden. Die Eingangssignalpegelumwandlungsschaltung 11a und die lokale Peripheralschaltung 13 in jeder Matte sind durch eine auf einer Hauptoberfläche jeden Halbleiterchips 1 gebildete Rahmenzwischenverbindung 3 elektrisch verbunden.

Es ist anzumerken, daß der Eingangshügelkontaktblock 4 direkt mit einem Kontaktblock ohne Rahmenzwischenverbindung verbunden sein kann.

In Fig. 6 ist in demjenigen Gebiet eine Ausgangspufferschaltung (nicht dargestellt) vorgesehen, in welchem die lokale Peripheralschaltung 13 gebildet ist. Ein Hügelkontaktblock 4 zum Ausgang ist mit dieser Ausgangspufferschaltung mittels des Kontaktblocks 2 und der Rahmenzwischenverbindung 3 elektrisch verbunden. Dieser Ausgangshügelkontaktblock 4 ist auf einem Gebiet in der Nähe der Ausgangspufferschaltung gebildet.

Der Ausgangshügelkontaktblock 4 kann auch mit

dem Kontaktblock 2 ohne Rahmenzwischenverbindung 3 direkt verbunden sein.

Die Signalübertragung in dieser Halbleiterverpackung wird nachstehend beschrieben.

Ein von außen angelegtes Eingangssignal ist in dem in der Masterperipheralschaltung 11 angeordneten Eingangshügelkontaktblock 4 vorgesehen. Dieses Eingangssignal ist an die Eingangssignalpegelumwandlungsschaltung 11a mittels der Eingangspufferschaltung in der Masterperipheralschaltung 11 angelegt. Das Eingangssignal wird umgewandelt in ein Signal mit einem internen Stromversorgungspegel, der in jede Matte 12 als Mastersignal durch die (der Verdrahtung bei einer gewöhnlichen Verkappung entsprechende) Rahmenzwischenverbindung 3 der CSP hindurch zu übertragen ist.

Dieses Mastersignal wird an die in der Nähe des Zentrums jeder Matte 12 angeordnete lokale Peripheralschaltung 13 angelegt. Dann wird das Signal mittels der lokalen Peripheralschaltung an ein Speicherarray 14 angelegt.

Die aus dem Speicherarray 14 jeder Matte 12 vorgesehenen Daten werden in die in der lokalen Peripheralschaltung 13 jeder Matte 12 angeordnete Ausgangspufferschaltung mittels eines kurzen Datenbusses übertragen. Die Ausgangsdaten werden mittels des auf einem Gebiet in der Nähe des Speicherarrays 14 auf jeder lokalen Peripheralschaltung angeordneten Ausgangshügelkontaktblocks 4 ausgegeben.

Eine Hügelelektrode 4 ist gemäß der vorliegenden Ausführungsform auf einem Gebiet in der Nähe einer Eingangspufferschaltung oder einer Ausgangspufferschaltung, die zu verbinden ist, vorgesehen. Daher kann der Zwischenverbindungspfad aus dem Hügelkontaktblock 4 in die Eingangspufferschaltung oder die Ausgangspufferschaltung verkleinert werden. Daher kann eine Verzögerung bei der Signalübertragung zwischen dem Hügelkontaktblock 4 und der Eingangs- oder der Ausgangspufferschaltung verhindert werden. Daher kann ein Hochgeschwindigkeitsbetrieb aufrechterhalten werden, selbst wenn die Kapazität eines Halbleiterspeichers vergrößert wird.

Da der Zwischenverbindungspfad verkürzt wird, können auch das Adressensetzen und die Haltegrenze verbessert werden. Dies wird nachstehend detailliert beschrieben werden.

Fig. 8 erläutert beispielhaft eine Setzzeit und eine Haltezeit eines Adressensignals, das für ein externes Steuersignal bei einem Datenauslesebetrieb benötigt wird. In einem DRAM sind ein Zeilenadressensignal und ein Spaltenadressensignal in Zeitteilungsart vorgesehen. Hier wird nur das Zeilenadressensignal beschrieben.

Unter Bezugnahme auf Fig. 8 ist für ein Adressensignal eine vor dem RAS vorgesehene Zeilenadressensetzzeit t_2 festgelegt, um einen festgestellten Zustand für das Zeilenadressensignal vor einer Abnahme eines Zeilenadressenstrobosignals /RAS zu erreichen. Zum Aufrechterhalten des Zeilenadressensignals nach einer Abnahme des externen Zeilenadressenstrobosignals /RAS ist auch eine nach dem RAS vorgesehene Zeilenadressenhaltezeit t_4 festgelegt. Ein interner Zeilenwahlbetrieb wird in dem DRAM nach dem Verstreichen dieser nach dem RAS vorgesehenen Zeilenadressenhaltezeit t_4 aufgenommen.

Da bei der vorliegenden Ausführungsform der Zwischenverbindungspfad zwischen der Hügelelektrode und der Eingangs/Ausgangspufferschaltung verkürzt werden kann, wird die Signalübertragung um eine Zeit T verringert. Mit anderen Worten, die Abnahme des

Zeilenadressenstrobesignals /RAS ist um die Zeit T vorgeschoben. Daher wird die vor dem RAS vorgesehene Zeilenadressensetzzeit t_2 auf eine Zeit t_1 verschoben. Mit anderen Worten, die Setzzeit wird verkleinert. Ferner wird die nach dem RAS vorgesehene Zeilenadressenhaltezeit t_4 auf eine Zeit t_3 verschoben. Dies bedeutet, daß die Grenze der Haltezeit vergrößert wird.

Bei der vorliegenden Ausführungsform kann auf der lokalen Peripheralschaltung 13 der Ausgangshügelkontaktblock 4 angeordnet sein. Daher kann innerhalb der lokalen Peripheralschaltung 13 in der Nähe des Speicherarrays 14 die mit dem Ausgangshügelkontaktblock 4 elektrisch verbundene Ausgangspufferschaltung angeordnet sein. Daher werden die aus dem Speicherarray 14 jeder Matte 12 ausgelesenen Daten in den sich in der Nähe befindenden Ausgangspuffer mittels eines Datenbusses 16 übertragen, wie in Fig. 9 gezeigt. Daher wird ein Zugriff beschleunigt und die Phasenverschiebung jeden Datensignals, das heißt die Datenverzerrung, verkleinert. Da bei einer Vielbitstruktur der Datenbus 16 verkürzt werden kann, wird der Zugriff nicht verschlechtert, selbst wenn die Anzahl von Bits vergrößert wird.

Jede der Mehrzahl von Matten 12 ist bezüglich des Eingangshügelkontaktblocks 4, der auf einem Gebiet vorgesehen ist, in dem die Masterperipheralschaltung 11 gebildet ist, symmetrisch angeordnet. Jede aus dem Eingangshügelkontaktblock 4 zu der lokalen Peripheralschaltung 13 jeder Matte 12 hin verlaufende Zwischenverbindung (die die Rahmenzwischenverbindung 3 enthält) ist bezüglich des Eingangshügelkontaktblocks 4 symmetrisch. Insbesondere ist die Übertragungsentfernung eines aus der Eingangshügelelektrode 4 in jede der Mehrzahl von Matten 12 eingegebenen Signals im wesentlichen identisch. Daher kann die Phasenverschiebung des aus demselben Eingangshügelkontaktblock 4 in jede Matte 12 vorgesehenen Signals, das heißt die Verzerrung, sehr stark verkleinert werden. Die Steuerung aller Matten 12 aus der Masterperipheralschaltung 11 kann vollkommen gleich gemacht sein.

Das meiste der Verbindung zwischen der Masterperipheralschaltung 11 und der lokalen Peripheralschaltung 13 ist durch die Rahmenzwischenverbindung 3 verwirklicht. Die Rahmenzwischenverbindung 3 ist auf der Hauptoberfläche des Halbleiterchips 1 gebildet. Da auf der Hauptoberfläche des Halbleiterchips 1 keine Elemente oder Schaltungen gebildet sind, kann für die Rahmenzwischenverbindung 3 eine große Leitungsbreite gesichert werden. Ferner kann ein zur Zwischenverbindung geeignetes Material gewählt werden, da die Beschränkung bezüglich des Materials der Rahmenzwischenverbindung schwach ist. Daher kann die Impedanz der Rahmenzwischenverbindung 3 so festgesetzt werden, daß sie kleiner als diejenige einer innerhalb des Halbleiterchips gebildeten Zwischenverbindung ist. Ein Signal kann aus der Masterperipheralschaltung 11 in die lokale Peripheralschaltung 13 jeder Matte 12 mit einer sehr kleinen Verzögerungszeit übertragen werden. Ferner kann die Zeitkonstante bedeutend verkleinert werden, da die Masterperipheralschaltung 11 und die lokale Peripheralschaltung 13 mittels der Rahmenzwischenverbindung 3 elektrisch verbunden sind.

Es gibt Fälle, in denen in Fig. 5 die Rahmenzwischenverbindungen 3 einander kreuzen. Die Isolation jeder Rahmenzwischenverbindung wird durch die in den Fig. 10, 11 und 12 gezeigte Struktur gesichert. Diese Struktur wird nachstehend detailliert beschrieben werden.

Unter Bezugnahme auf Fig. 10 ist auf einer Rahmenzwischenverbindung 3b einer unteren Schicht eine sich auf einer oberen Schicht befindende Rahmenzwischenverbindung 3c mit einem Polyimidharz 7a dazwischen gebildet. Die Isolation der beiden Schichten der Rahmenzwischenverbindungen 3b und 3c kann durch Bilden der Rahmenzwischenverbindungen 3b und 3c in verschiedenen Schichten beibehalten werden, selbst wenn sie einander in einer Ebene kreuzen.

Die Rahmenzwischenverbindung 3c ist mit einem Polyimidharz 7b bedeckt.

Unter Bezugnahme auf die Fig. 11 und 12 haben die beiden Rahmenzwischenverbindungen 3b und 3c eine Unterkreuzungsstruktur an der Kreuzung der Rahmenzwischenverbindungen 3b und 3c. Insbesondere ist an der Kreuzung der Rahmenzwischenverbindungen 3b und 3c die eine Rahmenzwischenverbindung 3b elektrisch verbunden mit einer Zwischenverbindungsschicht 2a in dem Chip und verläuft die Zwischenverbindungsschicht 2a unter der anderen Rahmenzwischenverbindung 3c. Aufgrund dieser Unterkreuzungsstruktur wird die Isolation der beiden Rahmenzwischenverbindungen 3b und 3c aufrechterhalten, selbst wenn sie vom Standpunkt einer Draufsicht einander kreuzen.

Die übrige Struktur der Fig. 10, 11 und 12 ist derjenigen ähnlich, welche in den Fig. 3 und 4 gezeigt ist. Daher weisen die entsprechenden Teile dieselben zugewiesenen Bezugszeichen auf und wird ihre Beschreibung hier nicht anderweitig wiederholt.

Die fünfte Ausführungsform

Wie in Fig. 13 gezeigt, weist jede Matte 12 eine Stromversorgung liefernde Hügelkontaktblöcke 4c—4e auf, die sich an willkürlichen Stellen befinden, da es aufgrund der CSP-Struktur keine Beschränkung bei der Anordnung der Hügelkontaktblöcke 4 gibt.

Daher kann jeder der die Stromversorgung in eine lokale Peripheralschaltung 13 und eine Ausgangspufferschaltung in jeder Matte 12 liefernden Stromversorgungskontaktblöcke 4c—4e auf einem Gebiet in der Nähe der Ausgangspufferschaltung und der lokalen Peripheralschaltung angeordnet sein. Im Ergebnis kann der Zwischenverbindungspfad zwischen den Stromversorgungskontaktblöcken 4c—4e und der Ausgangspufferschaltung oder der lokalen Peripheralschaltung, die mit ihnen verbunden sind, verkürzt werden. Somit kann eine stabile Stromquelle mit kleiner Impedanz mit kleinem Rauschen verwirklicht werden.

Die sechste Ausführungsform

Fig. 14 ist ein Steuerblockschaltbild, bei dem als Mattenwahlfunktion ein Decodierer verwendet wird. Unter Bezugnahme auf Fig. 14 ist im Gebiet einer Masterperipheralschaltung bei der vorliegenden Ausführungsform ein Decodierer 22 als Mattenwahlfunktion vorgesehen. Ein Mattenwahlsignal MS wird mittels einer Eingangspufferschaltung 21 in den Decodierer 22 geliefert. Jede von Matten M1, M2, M3 und M4 wird durch eine Kombination des Eingangssignals MS gewählt.

Eine beliebige der Matten M1, M2, M3 und M4 kann durch die Mattenwahlfunktion 22 gewählt werden.

Ferner kann eine Kombination der Matten M1, M2, M3 und M4 gewählt werden. Insbesondere kann durch willkürliches Setzen von zwei 512-MDRAMs oder vier 256-MDRAMs mit der Mattenwahlfunktion 22 eine veränderliche Speicherkonfiguration erreicht werden. Das

heißt, die Speicherstruktur kann aus einem Modul gebildet sein, der eine veränderliche Bitgröße hat.

In die lokale Peripheralschaltung einer Matte, die mittels der Mattenwahlfunktion 22 nicht gewählt ist, ist die Stromversorgung unterbrochen. Daher kann im Unterschied zu dem Fall, in dem an eine nichtgewählte Matte eine vorbestimmte Spannung angelegt ist, um einen Bereitschaftszustand zu setzen, der Verbrauchsstrom verkleinert werden.

Die Mattenwahlfunktion 22 kann durch das Vorsehen des externen Mattenwahlsignals MS mittels eines Hügelkontaktblocks der CSP verwirklicht werden. Wenn der Hügelkontaktblock nicht vorgesehen ist, dann kann durch Vorsehen des Mattenwahlsignals MS in der auf dem Halbleiterchip der CSP gebildeten Rahmenzwischenverbindung die Mattenwahlfunktion gesteuert werden.

Die siebente Ausführungsform

Wie in dem ISSCC91 Digest of Technical Papers, Seiten 108—109, offenbart, kann durch Anordnen einer Abtastverstärkerstromversorgungsleitung des DRAM auf einem Speicherarray in einer netzartigen Weise die Stromversorgungsimpedanz verkleinert werden, um einen Hochgeschwindigkeitsabtastbetrieb zu verwirklichen. In diesem Fall wird für die netzartig angeordnete Abtastverstärkerstromversorgungsleitung eine in dem Halbleiterchip gebildete Aluminiumzwischenverbindung verwendet. Ferner wird für den Shunt einer Wortleitung die Aluminiumzwischenverbindung einer unteren Schicht (einer ersten Schicht) und für die Abtastverstärkerstromversorgungsleitung und die Spaltenausgangsleitung die Aluminiumzwischenverbindung einer oberen Schicht (einer zweiten Schicht) verwendet.

Da die Anzahl der Abtastverstärkerstromversorgungsleitungen vergrößert wird, wenn bei der vorstehend beschriebenen Struktur die Integrationsdichte größer wird, wird der Leitungsabstand der Aluminiumzwischenverbindung der zweiten Schicht kritisch. Daher wird die Leitungsbreite der Abtastverstärkerstromversorgungsleitung kleiner, was eine Zunahme der Impedanz und der Kapazität zwischen den Spaltenwählleitungen verursacht. Im Ergebnis kommt eine Verzögerung bei der Signalübertragung vor.

Fig. 15 ist eine Draufsicht, welche eine Anordnung der Rahmenzwischenverbindung in einer Halbleiterverpackung gemäß der siebenten Ausführungsform der vorliegenden Erfindung beispielhaft erläutert. Fig. 16 zeigt eine Anordnung der Rahmenzwischenverbindung und der Vcc- und der Vss-Stromversorgungsleitungen für einen Abtastverstärker in dem P-Abschnitt der Fig. 15.

Unter Bezugnahme auf die Fig. 15 und 16 sind eine in einem Halbleiterchip 1 gebildete Stromversorgungsleitung (Vcc-Zwischenverbindung und Vss-Zwischenverbindung) und auf einer Hauptoberfläche des Halbleiterchips 1 gebildete Rahmenzwischenverbindungen 3f und 3g netzartig angeordnet. Die Rahmenzwischenverbindung 3f und die Vss-Zwischenverbindung sind an einem Kontakt 41 elektrisch verbunden. Die Rahmenzwischenverbindung 3g und die Vcc-Zwischenverbindung sind an einem Kontakt 42 elektrisch verbunden. Die Rahmenzwischenverbindungen 3f und 3g sind mit verschiedenen Hügelkontaktblöcken 4 entsprechend verbunden. Gemäß dieser Anordnung ist eine Steuerung so verwirklicht, daß an die Rahmenzwischenverbindung 3f ein Potential mit dem Vss-Pegel und an die Rahmenzwi-

schenverbindung 3g ein Potential mit dem Vcc-Pegel angelegt ist.

Die Stromversorgungsleitung (die Vcc- und die Vss-Zwischenverbindung) sind mit einem innerhalb eines Abtastverstärkergebiets 18 gebildeten Abtastverstärker 18a elektrisch verbunden. Das Abtastverstärkergebiet 18 ist so vorgesehen, daß es an das Speicherarray 14 angrenzt.

Die Abtastverstärkerstromversorgungsleitung (Vcc- und Vss-Zwischenverbindung) ist unter Ausnutzung der Rahmenzwischenverbindung der CSP verstärkt. Die Rahmenzwischenverbindungen 3f und 3g sind auf einer Hauptoberfläche eines Halbleiterchips 1 gebildet, und auf dem Halbleiterchip 1 sind keine Elemente gebildet. Daher ist der Freiheitsgrad der Anordnung der Rahmenzwischenverbindungen 3f und 3g im Vergleich zu demjenigen einer in dem Halbleiterchip 1 vorgesehenen Aluminiumzwischenverbindungsschicht und dergleichen sehr groß. Daher kann eine Zunahme der Impedanz der Rahmenzwischenverbindungsschicht unterdrückt werden, selbst wenn die Integrationsdichte größer wird. Ferner kann auch eine Zunahme der Kapazität zwischen den Spaltenwählleitungen unterdrückt werden.

Die Hügelkontaktblöcke 4f und 4g können mit jeder Abtastverstärkerstromversorgungsleitung (Vss-Zwischenverbindung, Vcc-Zwischenverbindung) ohne das Vorsehen der Rahmenzwischenverbindung direkt verbunden sein, wie in Fig. 17 gezeigt. Die Stromversorgungsimpedanz kann weiter verkleinert werden, da die Rahmenzwischenverbindung weggelassen ist.

Die achte Ausführungsform

Wenn ein Waferprozeß abgeschlossen ist, dann muß ohne Rahmenzwischenverbindung ein Wafertest ausgeführt werden, da ein CSP-Prozeß nicht ausgeführt wird. Dieser Wafertest erfordert einen herkömmlichen Bondkontaktblock zum Sondieren. Doch das Vorsehen von Bondkontaktblöcken für alle Eingänge, Ausgänge und die Stromversorgung wird alle in den vorstehenden Ausführungsformen beschriebenen Vorzüge in Anbetracht der Chipfläche eliminieren.

Im Hinblick auf das vorstehende weist die vorliegende Ausführungsform eine Struktur auf, bei welcher mit einer minimalen Anzahl von Bondkontaktblöcken durch eine Kombination eines Abtasttests und eines bei der Logik verwendeten BIST (eines eingebauten Selbsttests) das Wafertesten ausgeführt werden kann (Abtast-BIST-Test). Beim Wafertesten ist nur ein einfacher Test zum Funktionsbetriebstesten und ein DC-Testen auszuführen und wird das Testen eines kritischen Timings und dergleichen nicht benötigt.

Die Details des Abtasttestens sind zum Beispiel in Miron Abramovici et al., Digital System Testing and Testable Design (verlegt durch Computer Science Press, herausgegeben 1990) offenbart.

Was den BIST anbelangt, werden Details zum Beispiel beschrieben von Yervant Zorian et al., "An Effective BIST Scheme for Ring-Address Type FIFOs", Proceedings of 1994 International Test Conference, Beitrag 17.2, Seiten 378—387; Hiroki Koike et al., "A BIST SCHEME USING MICROPROGRAM ROM FOR LARGE CAPACITY MEMORIES", Proceedings of 1990 International Test Conference, Beitrag 36.1, Seiten 815—822; und T. Takeshima et al., "A 55ns 16Mb DRAM", ISSCC89 Digest of Technical Papers, Band 32 FAM 16.5, Seiten 246—247.

Unter Bezugnahme auf Fig. 18 kann durch wenigstens sechs Bondkontaktblöcke 36 mit Vdd, Vss, Vddq, Vssq, TE und Q bei einem Abtast-BIST-Test gemäß der vorliegenden Ausführungsform das Wafertesten ausgeführt werden. Hier sind Vdd und Vss Stromversorgungen für eine Periphererschaltung, sind Vddq und Vssq Stromversorgungen für Ausgangspuffer, ist TE ein Signal zum Ausführen eines Abtast-BIST-Tests und Q ein Flagausgang des Testergebnisses.

Die Details des Wafertestens gemäß der vorliegenden Ausführungsform werden nachstehend unter Bezugnahme auf Fig. 19 beschrieben.

Unter Bezugnahme auf Fig. 19 ist an einen Bondkontaktblock 36 ein Signal TE angelegt. Eine Aktivierung des Signals TE verursacht, daß ein innerhalb eines Halbleiterchips 1 vorgesehener Oszillator 31 aktiv gemacht wird, wodurch mittels eines Grundtaktgenerators 32 ein Grundtakt RAS, CAS, R/W, OE und dergleichen des DRAM erzeugt wird. Ein Testmuster wird mittels einer Testmustererzeugungsschaltung 33 automatisch erzeugt. Eine Adresse wird so erzeugt, daß sie mittels einer Zählerschaltung aufeinanderfolgend um Eins, d. h. in aufeinanderfolgender Adressennummer, vergrößert wird.

Als Reaktion auf diese entsprechenden Signale wird eine Masterperiphererschaltung 11 betrieben, wird dann eine lokale Periphererschaltung 13 betrieben und wird ein Speicherarray 14 so aktiviert, daß es einen Lese/Schreibbetrieb ausführt. Eine Übereinstimmungs/Nichtübereinstimmungsermittlung zwischen geschriebenen Daten und ausgelesenen Daten hinsichtlich der Daten aus dem Speicherarray 14 wird ausgeführt, um einen Nichtfehler/Fehlerzustand auszugeben.

Ein Schieberegister 34 funktioniert so, daß es sowohl ein Testmuster als auch ein internes Adressensignal aufeinanderfolgend speichert und einen Ausgang vorsieht. Ein Schieberegister 35 funktioniert so, daß es den Nichtfehler/Fehlerzustand der Testdaten jeden Speicherarrays 14 aufeinanderfolgend speichert und einen Ausgang vorsieht.

Gemäß der vorliegenden Ausführungsform wird durch den Grundtaktgenerator 32 ein Steuersignal erzeugt und werden durch die Testmustererzeugungsschaltung 33 in dem Halbleiterchip 1 ein Testmuster und ein internes Adressensignal erzeugt. Daher kann ein Bondkontaktblock zum Empfangen dieser Signale aus der Außenwelt weggelassen werden.

Der Nichtfehler/Fehlerzustand einer Mehrzahl von Testdaten kann in einem Ausgangskontaktblock Q mittels des Schieberegisters 35 aufeinanderfolgend vorgesehen sein. Die Gesamtanzahl der in dem Halbleiterchip benötigten Bondkontaktblöcke kann verkleinert werden, da nur ein Bondkontaktblock 9 zum Vorsehen des Ausgangs des Testergebnisses benötigt wird.

Bei dem vorstehend beschriebenen Abtast-BIST-Testen kann eine fehlerhafte Adresse nicht erkannt werden. Doch die fehlerhafte Adresse kann mittels einer Einrichtung (zum Beispiel mittels eines Schieberegisters), die (das) die fehlerhafte Adresse jeder Speicherzelle durch Empfangen des internen Adressensignals und des Nichtfehler/Fehlerzustandes jeden Speicherarrays 14 bestimmt und speichert, in einem Paket in den Kontaktblock Q ausgegeben werden. Wenn ein externes Verzeichnis vorgesehen ist, dann kann eine fehlerhafte Adresse erkannt und ein Redundanztest ausgeführt werden.

Im Unterschied zu der vierten Ausführungsform der vorliegenden Erfindung, bei der eine lokale Peripher-

schaltung jeder Matte mittels einer Rahmenzwischenverbindung mit einer Masterperiphererschaltung verbunden ist, ist in einer Waferteststufe keine Rahmenzwischenverbindung vorhanden. Daher muß eine Verbindung mittels einer provisorischen Aluminiumzwischenverbindung vorgesehen sein. In diesem Fall weist die Zeitkonstante einen Wert auf, der einen mäßigen Timingtest des Wafertests besteht. Es werden sowohl eine Zwischenverbindung zum Übertragen der Ausgangsdaten jeder Matte in den Bondkontaktblock 9 als auch eine Zwischenverbindung der Stromquelle für die Periphererschaltung jeder Matte und die Masterperiphererschaltung benötigt.

Diese Zwischenverbindungen sind durch das TE-Signal oder dergleichen nach dem CSP-Prozeß elektrisch zu unterbrechen, da diese Zwischenverbindungen nicht länger benötigt werden. Es ist fast keine dieser provisorischen Aluminiumzwischenverbindung entsprechende Zunahme der Chipfläche vorhanden.

Die neunte Ausführungsform

Die vorstehende achte Ausführungsform wurde mit einer Struktur für einen minimalen Signaleingang beschrieben. Verschiedene Modifikationen derselben sind möglich, wie beispielsweise das Vorsehen eines CLK-Anschlusses zum Empfangen eines von außen angelegten Grundtaktes oder das zusätzliche Vorsehen eines Adressenkontaktblocks, um eine Adresse anzulegen, oder das Vorsehen eines Kontaktblocks für einen Ausgang einer fehlerhaften Adresse.

Die zehnte Ausführungsform

Wenn ein Vref-(Referenzpotential-)Anschluß bei einem Außenanschluß vorhanden ist, dann weist die vorstehende zweite Ausführungsform eine Struktur auf, bei welcher mittels einer Rahmenzwischenverbindung einer Stromversorgung zum Zwecke des Vermeidens des Rauschens in der Vref eine Rahmenzwischenverbindung der Vref abgeschirmt wird. Doch die Erzeugung eines Stromrauschens in der Rahmenzwischenverbindung der Vref muß berücksichtigt werden, wenn in die Stromversorgungsleitung, die die Vref-Rahmenzwischenverbindung abschirmt, Strom geleitet wird.

Eine Technik dafür, das Problem des großen in der Vref enthaltenen Rauschens zu umgehen, ist es, die Rahmenzwischenverbindung der Vref mit einer Stromversorgungsleitung, in der kein Strom fließt, (mit einer Rahmenzwischenverbindung, die keine Schaltung hat, die an ihrem Ende Strom verbraucht) abzuschirmen. Diese Struktur zum Abschirmen einer Vref-Rahmenzwischenverbindung mit einer Stromversorgungsleitung, in die kein Strom fließt, kann leicht gebildet werden, wie in der zweiten Ausführungsform (Fig. 2) beschrieben.

Die elfte Ausführungsform

Wie in Fig. 20 gezeigt, kann eine Mehrzahl von Hügelkontaktblockanschlüssen einzeln über der ganzen Oberfläche einer Verkappung angeordnet sein, ohne Rücksicht darauf, ob eine Rahmenzwischenverbindung geschaltet ist oder nicht. Diese auf der ganzen Oberfläche vorgesehene Anordnung der leitenden Hügelkontaktblockanschlüsse trägt zur Verbesserung der Wärmeabstrahlung in der Verkappung bei, wodurch der Wärmewiderstand verkleinert wird.

Die Isolation gegen die Leiterplatte kann durch Auf-

bringen eines Isolationsbelags auf der Oberfläche eines Hügelkontaktblocks, der nicht elektrisch verwendet wird, aufrechterhalten werden.

Der Hügelkontaktblockanschluß kann auch auf der Rückseite der Verkappung vorgesehen sein. Die Wärmeabstrahlung der Verkappung kann durch Vorsehen der Hügelkontaktblöcke auf gegenüberliegenden Seiten der Verkappung weiter verbessert werden.

Die zwölfte Ausführungsform

Ein Testmodus wie beispielsweise ein Leitungstest und ein Vielbitparalleltest wird eingeführt, um einer Zunahme der Testzeitdauer infolge einer größeren Kapazität des Speichers nachzukommen. Doch alle Tests können mit dem Testmodus nicht verwirklicht werden.

Eine Testschaltung 53 muß vorgesehen sein, um einen Testmodus zu verwirklichen, der eingeführt wird, wie in Fig. 21 gezeigt. Daher ist der durch die Testschaltung 53 hindurchgehende Zugriffspfad während des Testens derjenige, welcher durch den Pfeil A dargestellt ist. Im Unterschied dazu ist der durch einen Decodierer 51 und eine I/O-Schaltung 52 hindurchgehende Zugriffspfad eines Normalbetriebs derjenige, welcher durch den Pfeil B dargestellt ist.

Der Testmodus konnte zum Messen der Zugriffszeit nicht verwendet werden, da sich zwischen dem Normalbetriebsmodus und dem Testbetriebsmodus der Zugriffspfad unterscheidet.

Die auf einen I/O bezogene Anzahl von Bits wird nicht vergrößert, obwohl gemäß einer größeren Speicherkapazität die Anzahl von Bits vergrößert wird. Obgleich eine Zunahme der Testzeit unterdrückt wird, wird beim Testen eine größere Anzahl von Vergleichseinrichtungen benötigt werden. Dies wird die Anzahl derjenigen beschränken, welche zu einer Zeit beim Testen gemessen werden können, was die Testeffizienz verringert. Im Hinblick auf das Vorstehende wird eine Herangehensweise zum Degenerieren der in dem entsprechenden I/O vorgesehenen Daten, die durch nur einen I/O auszugeben sind, verwendet, um die Testeffizienz zu verbessern.

Doch zwischen einem Normalausgang und einem Entdegenerations-I/O unterscheidet sich der Zugriffspfad noch, selbst mit einer derartigen Struktur.

Bei der Chipkonfiguration der vierten Ausführungsform ist jede Matte 12 symmetrisch bezüglich der Eingangshügelelektrode 4 angeordnet, wie in Fig. 5 gezeigt. Wenn die in Fig. 5 gezeigte integrierte Halbleitereinrichtung ein 1GDRAM mit einer 16-Mbit-x-64-Organisation ist, dann hat jede Matte 12 dieselbe Struktur einer 16-Mbit-x-16-Organisation. Da jede Matte 12 symmetrisch angeordnet ist und dieselbe Struktur aufweist, ist die Zeit des Zugriffs auf jede Matte 12 im wesentlichen identisch. Daher muß die Zugriffszeit nur einer Matte 12 gemessen werden, um die Zugriffszeit zu erhalten. Es ist nicht notwendig, die Zugriffszeit aller anderen Matten zu messen. Dies bedeutet, daß die in Fig. 22 gezeigte Vergleichseinrichtung 54 mit nur einer der Mehrzahl von Matten 12 zu verbinden ist. Daher kann die Anzahl von Vergleichseinrichtungen auf ein 1/4 verkleinert werden.

Durch das Teilen desselben Zugriffspfades und das Erlauben eines I/O-Falschentdegenerationstests kann ein Meßtest der Zugriffszeit oder dergleichen leicht ausgeführt werden, selbst wenn die Kapazität des DRAM weiter vergrößert wird.

Die dreizehnte Ausführungsform

Im allgemeinen war die Anzahl von Anschlüssen für eine mit einem Speicher versehene Halbleiterverkappung kleiner als diejenige für eine mit einer Logik versehene Halbleiterverkappung. Daher wird in eine Halbleiterverkappung beispielsweise vom DIP-(Dual-In-Line)-Typ mit aus zwei Seiten der Halbleiterverkappung vorstehenden Anschlüssen ein Speicher eingebaut.

Es wird erwartet, daß gemäß einer höheren Integration eines Speichers die Anzahl von Anschlüssen des Speichers zunehmen wird. Eine mögliche Erwägung ist es, einen derart hochintegrierten Speicher in eine Halbleiterverkappung eines Typs, bei dem aus vier Seiten die Anschlüsse vorstehen, wie beispielsweise in eine QFP-Verkappung (Quad Flat Package), einzubauen.

Doch es werden im folgenden erläuterte Probleme selbst dann vorkommen, falls diese QFP verwendet wird, wenn für den Speicher durch Übergang zur Hierarchie, wie bei der vierten Ausführungsform beschrieben, die Integrationsdichte weiter vergrößert wird.

Da aufgrund des Hierarchieübergangs die benötigte Anzahl von Anschlüssen für den Speicher vergrößert wird, wird eine große Anzahl von Leitungen notwendig werden. Dies wird eine Zunahme der Größe der Halbleiterverkappung verursachen.

Wenn der Abstand zwischen den Leitungen verkleinert wird, um die Zunahme der Größe der Halbleiterverkappung zu unterdrücken, dann wird zwischen den Leitungen eine große Kapazität erzeugt werden.

Die vorliegende Ausführungsform zeigt eine Halbleiterverkappung, die sich von derjenigen mit CSP-Struktur unterscheidet und mit der diese Probleme bewältigt werden können.

Fig. 23 stellt die Struktur einer Halbleiterverkappung mit BGA-Struktur schematisch dar. Unter Bezugnahme auf Fig. 23 ist auf einer Leiterplatte 105 mittels eines Dauerverbindungsepoxydharzes 107 ein Halbleiterchip 101 befestigt. Ein Kontaktblock (nicht dargestellt) des Halbleiterchips 101 ist mit einer auf der Oberfläche der Leiterplatte 105 vorgesehenen Substratzwischenverbindung 103b mittels eines Bonddrahtes 103a elektrisch verbunden. Die Substratzwischenverbindung 103b ist mit einem sich auf der Rückseitenoberfläche der Leiterplatte 105 befindenden Lothügel 104 mittels eines Durchgangslochs 106 elektrisch verbunden. Ein Lötresist 108 ist auf der Rückseitenoberfläche der Leiterplatte 105 gebildet, außer in dem Gebiet, in welchem der Lothügel 104 gebildet ist. Der Halbleiterchip 101, der Bonddraht 103a und die Substratzwischenverbindung 103b sind mittels eines Formmaterials 109 abgedichtet.

Die Leiterplatte 105 weist eine Vielschichtstruktur auf, bei welcher eine Mehrzahl von in Fig. 24 gezeigten leitenden Schichten 105a—105d so geschichtet ist, daß zwischen dieselben entsprechende Isolationsschichten 105e—105i dazwischengelegt sind, wie in Fig. 25 gezeigt. Das Durchgangsloch 106 ist mit einer vergrabenen leitenden Schicht 111 gefüllt.

Die leitenden Schichten 105a und 105d sind über das Ganze gebildet, wobei das Gebiet, in dem das Durchgangsloch 106 vorgesehen ist, ausgeschlossen ist, und sie sind auf Massepotential (GND) gesetzt.

Die Halbleiterverkappung mit der BGA-Struktur ist genau wie eine Halbleiterverkappung mit der CSP-Struktur, bei der sie mit einer Leiterplatte mittels einer Hügelelektrode (eines Lothügels) 104 elektrisch verbunden ist.

Die Größe der Halbleiterverkappung mit CSP-Struk-

tur ist derjenigen eines Halbleiterchips ähnlich. Die Größe dieses Halbleiterchips unterscheidet sich von Hersteller zu Hersteller. Es ist daher schwierig, die Größe einer Halbleiterverpackung mit CSP-Struktur für jeden Hersteller zu standardisieren. Im Unterschied dazu kann durch Verwendung der Leiterplatte 105 die Abmessung einer Halbleiterverpackung mit BGA-Struktur leicht standardisiert werden.

In einer Halbleiterverpackung mit CSP-Struktur sind die Elemente des Halbleitersubstrats leicht einer Spannung ausgesetzt, da auf der Ebene, auf der die Elemente gebildet sind, eine Hügelelektrode gebildet ist. Im Unterschied dazu weist eine Halbleiterverpackung mit BGA-Struktur eine Hügelelektrode (einen Lothügel) 104 auf, die (der) auf der Rückseitenoberfläche vorgesehen ist, welche der Oberfläche gegenüberliegt, auf der die Elemente gebildet sind. Daher sind die Elemente einer Spannung nicht leicht ausgesetzt.

Da die leitenden Schichten 105a und 105d mit dem GND-Potential über der ganzen Leiterplatte gebildet sind, sind die zwischen die leitenden Schichten 105a und 105d dazwischengelegten leitenden Schichten 105b und 105c gegen andere leitende Abschnitte elektrisch abgeschirmt. Daher wird das Rauschen der leitenden Schichten 105b und 105c verkleinert.

Eine Struktur eines in einer Halbleiterverpackung mit der BGA-Struktur eingebauten Halbleiterchips wird nachstehend beschrieben.

Fig. 26 stellt die Draufsicht eines Aufbaulayouts eines in der Halbleiterverpackung der dreizehnten Ausführungsform eingebauten Halbleiterchips schematisch dar. Unter Bezugnahme auf Fig. 26 enthält ein Halbleiterchip 101 beispielsweise vier Matten 112 und eine Masterperipheralschaltung 111 zum Steuern jeder Matte 112. Die Masterperipheralschaltung 111 ist zwischen jeder Matte 112 in kreuzartiger Weise angeordnet.

Zum Zwecke der Beschreibung ist die Masterperipheralschaltung 111 so dargestellt, daß sie im Zentrum des Kreuzes in Fig. 26 liegt.

Jede Matte 112 enthält ein Speicherarray 114 und eine lokale Peripheralschaltung 113 zum Steuern des entsprechenden Speicherarrays 114.

Eine Mehrzahl von Kontaktblöcken 102a, 102b ist auf der Hauptoberfläche des Halbleiterchips 101 in einem äußeren Umfangsgebiet des Gebiets, in dem die vier Matten 112 und die Masterperipheralschaltung 111 gebildet sind, vorgesehen. Der Kontaktblock 102a dient dazu, ein Signal zum Steuern des ganzen Chips aufzunehmen, und ist mit der Masterperipheralschaltung 111 direkt verbunden. Der Kontaktblock 102a ist in einem äußeren Umfangsgebiet des Halbleiterchips 101 vorgesehen und so angeordnet, daß er eine Lage einnimmt, die der Masterperipheralschaltung 111 am nächsten ist. Dies verhindert eine Verschlechterung des aus dem Kontaktblock 102a in die Masterperipheralschaltung 111 angelegten Signals.

Der Kontaktblock 102b dient dazu, ein Signal zum Steuern jeder Matte einzugeben/auszugeben, und ist mit der lokalen Peripheralschaltung 113 direkt verbunden. Der Kontaktblock 102b ist so angeordnet, daß der Abstand der Zwischenverbindung zwischen jedem der Kontaktblöcke 102b und der lokalen Peripheralschaltung 113 im wesentlichen identisch ist. Dies sieht den Vorteil des Minimierens der Phasenverschiebung zwischen jedem zwischen dem Kontaktblock 102b und der lokalen Peripheralschaltung 113 übertragenen Signal, d. h. der Verzerrung, vor.

Aufgrund der Tatsache, daß bei einer Halbleiterver-

kappung mit BGA-Struktur der Kontaktblock mittels des Bonddrahtes 103a mit der Substratzwischenverbindung 103b verbunden ist, wie in Fig. 23 gezeigt, ist jeder der Kontaktblöcke 102a und 102b in dem äußeren Umfangsgebiet des Halbleiterchips 101 angeordnet.

Jede der Mehrzahl von Matten 112 ist so angeordnet, daß sie bezüglich der Lage der Mehrzahl von Masterperipheralschaltungen 111 symmetrisch ist. Jede der Mehrzahl von Matten 112 und jeder der Mehrzahl von Kontaktblöcken 102a und 102b ist so angeordnet, daß sie/er bezüglich des Zentrums des Halbleiterchips 101 symmetrisch ist. Dies ermöglicht es, durch eine derartige Anordnung die Übertragungsentfernung eines aus der Masterperipheralschaltung 111 an jede Matte 112 angelegten Signals so festzusetzen, daß sie gleich ist.

In der Matte 112 ist jedes der Mehrzahl von Speicherarrays 114 so angeordnet, daß es bezüglich der Lage der lokalen Peripheralschaltung 113 symmetrisch ist. Ferner ist jedes der Mehrzahl von Speicherarrays 114 in der Matte 112 so angeordnet, daß es bezüglich des Zentrums jeder Matte 112 symmetrisch ist. Dies ermöglicht es, die Übertragungsentfernung eines aus der lokalen Peripheralschaltung 113 an jedes Speicherarray 114 angelegten Signals so festzusetzen, daß sie gleich ist.

Da bei der Halbleiterverpackung der vorliegenden Ausführungsform eine BGA-Struktur verwendet wird, ist zur Verbindung mit einem Außenanschluß der Lothügel 104 vorgesehen. Der Lothügel 104 kann über der ganzen Oberfläche des Halbleiterchips 101 angeordnet sein. Selbst wenn in der Halbleiterverpackung ein DRAM mit einer hohen Integration und einer Hierarchie eingebaut ist, wie in Fig. 26 gezeigt, kann das Problem der Zunahme der Abmessung beispielsweise einer QFP-Halbleiterverpackung und der Erzeugung einer großen Kapazität zwischen den Leitungen verhindert werden.

Eine Zwischenverbindung 125 zum Verbinden eines Kontaktblocks 102b mit einem Ausgangspuffer einer lokalen Peripheralschaltung 113 und eine Zwischenverbindung zum Verbinden eines Kontaktblocks 102b mit einem Ausgangspuffer 122 einer lokalen Peripheralschaltung 113 sind auf der obersten Schicht auf der Oberfläche eines Halbleitersubstrats 121 in einem Halbleiterchip 101 angeordnet, wie in Fig. 27 gezeigt. Dies bedeutet, daß oberhalb der mit jedem Speicherelement in dem Speicherarray 114 verbundenen Zwischenverbindungen 123 und 124 die Zwischenverbindung 125 gebildet ist. Daher können diese Zwischenverbindungen 125 in der kürzesten linearen Entfernung von den Kontaktblöcken 102a und 102b an einer zu verbindenden Stelle angeordnet sein. Somit kann eine Verschlechterung von Daten innerhalb der Zwischenverbindungsschicht 125 verhindert werden.

Wie bei der vorstehenden sechsten Ausführungsform beschrieben, erlaubt die Verwendung eines Decodierers als Mattenwahlfunktion die Wahl einer speziellen Matte 112 aus der Mehrzahl von Matten 112 und auch die Wahl einer Kombination einer vorbestimmten Anzahl von Matten 112. Insbesondere kann mit der Mattenwahlfunktion die Speicherorganisation durch willkürliches Setzen von zwei 512-MDRAMs oder fünf 256-MDRAMs mit einem ganzen Chip mit 1 MDRAM veränderlich gemacht werden. Mit anderen Worten, die Speicherorganisation kann so gebildet sein, wie wenn es ein Modul mit veränderlicher Bitgröße ist.

Jede der durch die Mattenwahlfunktion ausgewählten Matten 112 hat die Stromversorgung zu der lokalen Peripheralschaltung 113 in der Matte 112 hin unterbro-

chen. Daher kann im Vergleich zu dem Fall, in dem an die ausgewählte Matte 112 eine vorbestimmte Spannung angelegt ist, um einen Bereitschaftszustand zu erreichen, der Stromverbrauch verkleinert werden.

Gemäß der Halbleiterverkappung der vorliegenden Ausführungsform ist auf der ganzen Oberfläche der Verkappung jeder der Mehrzahl von Lothügeln 104 einzeln angeordnet, unabhängig davon, ob er mit den Kontaktblöcken 102a und 102b des Halbleiterchips 101 elektrisch verbunden ist, wie in Fig. 28 gezeigt. Durch Vorsehen eines leitenden Lothügels 104 über der ganzen Oberfläche kann die Wärmeableitung der Verkappung verbessert werden. Daher kann der Wärmewiderstand verkleinert werden.

Fig. 28 ist eine Draufsicht einer aus der Richtung des Pfeils A der Fig. 23 betrachteten Halbleiterverkappung.

Ein mit einem Kontaktblock nicht elektrisch verbundener Lothügel 104 ist auf der Oberfläche einer Leiterplatte 105 mit einer leitenden Schicht 112 dazwischen gebildet, wie in Fig. 29 gezeigt.

Die Oberfläche des nicht elektrisch verwendeten Lothügels 104 kann einen Isolationsbelag aufweisen, der auf ihr aufgebracht ist, um die Isolation gegen die Leiterplatte aufrechtzuerhalten.

Gemäß der Struktur des Halbleiterchips der vorliegenden Ausführungsform sind die Matten 112 symmetrisch zu der Masterperipheralschaltung 111 angeordnet, wie in Fig. 26 gezeigt, wobei jede Matte 112 dieselbe Struktur hat. Daher kann durch Verbinden der in Fig. 22 gezeigten Vergleichseinrichtung 54 mit genau einer Matte 112 die Zugriffszeit für jede Matte 112 gemessen werden.

Obwohl die vorliegende Erfindung detailliert beschrieben und dargestellt worden ist, ist es selbstverständlich, daß dieselbe nur veranschaulichend und beispielhaft ist und keiner Beschränkung unterliegt, wobei der Inhalt und der Bereich der vorliegenden Erfindung nur durch die beigefügten Ansprüche beschränkt sind.

Patentansprüche

1. Halbleiterverkappung, welche eine Mehrzahl von externen Zwischenverbindungseinheiten umfaßt, die gebildet sind aus einer Hügelelektrode (4) zur Verbindung mit einem Außenanschluß, welche auf einer Hauptoberfläche eines integrierten Halbleitereinrichtung enthaltenden Halbleiterchips (1) vorgesehen ist, einem auf dem Halbleiterchip gebildeten Kontaktblock (2) zur Verbindung mit der integrierten Halbleitereinrichtung, und einer auf der Hauptoberfläche des Halbleiterchips mittels Photolithographie gebildeten Verbindungszwischenverbindung (3) zum elektrischen Verbinden des Kontaktblocks und der Hügelelektrode, bei welcher die Hügelelektrode gebildet ist auf einem Gebiet, das sich von einem Gebiet (SR) unterscheidet, in dem eine zerbrechliche Schaltung vorgesehen ist, deren Schaltungscharakteristiken durch einen mechanischen Spannung enthaltenden äußeren Faktor leicht geändert werden, wenn die integrierte Halbleitereinrichtung die zerbrechliche Schaltung enthält.

2. Halbleiterverkappung nach Anspruch 1, bei welcher die zerbrechliche Schaltung (SR) eine aus einem Paar von Transistoren gebildete Abtastverstärkerschaltung zum Abtasten und Verstärken einer kleinen Potentialdifferenz zwischen einem Paar von Bitleitungen umfaßt.

3. Halbleiterverkappung nach Anspruch 1, bei welcher die zerbrechliche Schaltung eine Analogschaltung umfaßt, die mit einem kleinen Strom arbeitet.

4. Halbleiterverkappung nach Anspruch 1, welche genau unter der Hügelelektrode (4) und zwischen der Verbindungszwischenverbindung und der Hauptoberfläche des Halbleiterchips ein Spannungsverminderungsmaterial (8) zum Vermindern einer an den Halbleiterchip mittels der Hügelelektrode angelegten mechanischen Spannung umfaßt.

5. Halbleiterverkappung, welche eine Mehrzahl von externen Zwischenverbindungseinheiten umfaßt, die gebildet sind aus einer Hügelelektrode (4) zur Verbindung mit einem Außenanschluß welche auf einer Hauptoberfläche eines integrierten Halbleitereinrichtung enthaltenden Halbleiterchips (1) vorgesehen ist, einem auf dem Halbleiterchip gebildeten Kontaktblock (2) zur Verbindung mit der integrierten Halbleitereinrichtung, und einer auf der Hauptoberfläche des Halbleiterchips mittels Photolithographie gebildeten Verbindungszwischenverbindung (3) zum elektrischen Verbinden des Kontaktblocks und der Hügelelektrode, wobei die Halbleiterverkappung wenigstens enthält: einen auf der Hauptoberfläche des Halbleiterchips vorgesehenen Stromversorgungskontaktblock (Vcc) zum Liefern eines Stroms in die integrierte Halbleitereinrichtung und eine Stromversorgungszwischenverbindung (PL), die mit dem Stromversorgungskontaktblock verbunden ist und so vorgesehen ist, daß sie wenigstens einen Abschnitt jeder der Mehrzahl von externen Zwischenverbindungseinheiten einzeln umgibt.

6. Halbleiterverkappung nach Anspruch 5, bei welcher die wenigstens einen Abschnitt der externen Zwischenverbindungseinheiten einzeln umgebenden Stromversorgungszwischenverbindungen (PL) so miteinander verbunden sind, daß sie ein Netz bilden, und bei welcher eine Mehrzahl der Stromversorgungskontaktblöcke (Vcc) so angeordnet ist, daß die Stromversorgungsimpedanz bezüglich der netzartigen Stromversorgungszwischenverbindung verkleinert ist.

7. Halbleiterverkappung nach Anspruch 5, welche genau unter der Hügelelektrode (4) und zwischen der Verbindungszwischenverbindung und der Hauptoberfläche des Halbleiterchips ein Spannungsverminderungsmaterial (8) zum Vermindern einer an den Halbleiterchip mittels der Hügelelektrode angelegten mechanischen Spannung umfaßt.

8. Halbleiterverkappung, welche eine Mehrzahl von externen Zwischenverbindungseinheiten umfaßt, die gebildet sind aus einer Hügelelektrode (4) zur Verbindung mit der Außenwelt, welche auf einer Hauptoberfläche eines integrierten Halbleitereinrichtung enthaltenden Halbleiterchips (1) vorgesehen ist, einem auf dem Halbleiterchip gebildeten Kontaktblock (2) zur Verbindung mit der integrierten Halbleitereinrichtung, und einer auf der Hauptoberfläche des Halbleiterchips mittels Photolithographie gebildeten Verbindungszwischenverbindung (3) zum elektrischen Verbinden des Kontaktblocks mit den Hügelelektroden, bei welcher die integrierte Halbleitereinrichtung eine mit dem Kontaktblock direkt verbundene Eingangs/Ausgangspufferschaltung enthält und bei welcher auf einem Gebiet in der Nähe der

Eingangs/Ausgangspufferschaltung die mit der Kontaktblocks elektrisch verbundene Hügelelektrode vorgesehen ist.

9. Halbleiterverkappung nach Anspruch 8, bei welcher die integrierte Halbleitereinrichtung eine Mehrzahl von Speichermatten (12) und eine Masterperipheralschaltung (11) zum Teilen einer Mehrzahl der Speichermatten und zum unabhängigen Steuern jeder Speichermatte umfaßt und bei welcher die Speichermatte eine Mehrzahl von ein Speicherelement enthaltenden Speichergebieten (14) und eine lokale Peripheralschaltung (13) zum Teilen der Mehrzahl von Speichergebieten und unabhängigen Steuern eines Speicherelements in jedem Speichergebiet umfaßt.

10. Halbleiterverkappung nach Anspruch 9, welche ferner eine auf der Hauptoberfläche des Halbleiterchips gebildete zweite Verbindungszwischenverbindung (3) umfaßt und bei welcher die Masterperipheralschaltung (11) und die lokale Peripheralschaltung (13) mittels der zweiten Verbindungszwischenverbindung (3) elektrisch verbunden sind.

11. Halbleiterverkappung nach Anspruch 9, bei welcher auf einem Gebiet, in dem die Masterperipheralschaltung vorgesehen ist, die Hügelelektrode (4) zum Aufnehmen eines in jede der Mehrzahl von Speichermatten (12) durch die Masterperipheralschaltung (11) hindurch übertragenen Signals vorgesehen ist,

bei welcher jede der Mehrzahl von Speichermatten so angeordnet ist, daß sie bezüglich einer Lage der Hügelelektrode symmetrisch ist, und bei welcher jede mit einer Mehrzahl von Speichermatten verbundene Zwischenverbindung (13) aus der Hügelelektrode so angeordnet ist, daß sie bezüglich einer Lage der Hügelelektrode symmetrisch ist.

12. Halbleiterverkappung nach Anspruch 9, bei welcher eine Übertragungsentfernung eines in jede der Mehrzahl von Speichermatten (12) hineinkommenden Signals aus der Hügelelektrode (4) im wesentlichen gleich ist.

13. Halbleiterverkappung nach Anspruch 9, bei welcher die Hügelelektrode (4) zum Vorsehen eines Ausgangssignals aus dem Speicherelement in die Außenwelt elektrisch verbunden ist mit der Ausgangspufferschaltung und bei welcher auf einem Gebiet, in dem die die Ausgangspufferschaltung enthaltende lokale Peripheralschaltung (13) vorgesehen ist, die mit dem Kontaktblock (2) zum Ausgang elektrisch verbundene Hügelelektrode zum Ausgang angeordnet ist.

14. Halbleiterverkappung nach Anspruch 8, bei welcher die Verbindungszwischenverbindung (3) eine erste und eine zweite Verbindungszwischenverbindung (3b, 3c) enthält, die auf verschiedenen Niveaus auf der Hauptoberfläche des Halbleiterchips verlaufen und voneinander elektrisch isoliert sind.

15. Halbleiterverkappung nach Anspruch 8, bei welcher die Verbindungszwischenverbindung (3) eine erste und eine zweite Verbindungszwischenverbindung (3b, 3c) enthält, die auf demselben Niveau auf der Hauptoberfläche des Halbleiterchips verlaufen, und bei welcher die elektrische Isolation der ersten und der zweiten Verbindungszwischenverbindung aufrechterhalten wird durch eine der

ersten und der zweiten Verbindungszwischenverbindung, die mit einer in dem Halbleiterchip an einer Kreuzung der ersten und der zweiten Verbindungszwischenverbindung gebildeten leitenden Schicht (2a) elektrisch verbunden ist.

16. Halbleiterverkappung nach Anspruch 9, bei welcher auf einem Gebiet, in dem die die Ausgangspufferschaltung enthaltende lokale Peripheralschaltung (13) vorgesehen ist, die Hügelelektrode (4c-4e) für einen in die Ausgangspufferschaltung zu liefernden Strom angeordnet ist.

17. Halbleiterverkappung nach Anspruch 9, bei welcher die Hügelelektrode (4b) zum Ausgang, die mit jedem der Mehrzahl von Speicherelementen in dem Speichergebiet (14) elektrisch verbunden ist und die mit einem Datenbus (16) zum Datenausgang der Mehrzahl von Speicherelementen elektrisch verbunden ist, auf einem Gebiet in der Nähe des Speichergebiets angeordnet ist.

18. Halbleiterverkappung nach Anspruch 9, bei welcher die Masterperipheralschaltung (11) eine Mattenwahlschaltung (22) umfaßt, die eine der Mehrzahl von Speichermatten (12) wählt und betreibbar macht und eine Lieferung von Strom zu der lokalen Peripheralschaltung (13) in der nichtgewählten Speichermatte hin unterbricht.

19. Halbleiterverkappung nach Anspruch 9, bei welcher die Masterperipheralschaltung (11) eine Mattenwahlschaltung (22) umfaßt, die eine vorbestimmte Anzahl der Speichermatten (12) wählt und betreibbar macht und eine Lieferung von Strom zu der lokalen Peripheralschaltung (13) in der nichtgewählten Speichermatte hin unterbricht.

20. Halbleiterverkappung nach Anspruch 8, bei welcher in dem Halbleiterchip (1) eine leitende Schicht zur Stromversorgung (Vcc, Vss) zum Liefern einer Stromversorgungsspannung in ein Element (18a) in der integrierten Halbleitereinrichtung gebildet ist und bei welcher die Verbindungszwischenverbindung (3g, 3f), an die aus der Hügelelektrode (4) eine Stromversorgungsspannung angelegt ist, in einer die Verlaufsrichtung der leitenden Schicht zur Stromversorgung kreuzenden Richtung verläuft und mit der leitenden Schicht zur Stromversorgung elektrisch verbunden ist.

21. Halbleiterverkappung nach Anspruch 20, bei welcher das Element (18a) eine aus einem Paar von Transistoren gebildete Abtastverstärkerschaltung zum Abtasten und Verstärken einer kleinen Potentialdifferenz zwischen einem Paar von Bitleitungen umfaßt und bei welcher die Verbindungszwischenverbindung (3f, 3g) und die leitende Schicht zur Stromversorgung (Vcc, Vss) so angeordnet sind, daß sie ein Netz in einer Ebene bilden.

22. Halbleiterverkappung nach Anspruch 9, bei welcher der Halbleiterchip (1) einen Testkontaktblock (36) enthält, mit dem in einem Testmodus eine Sondennadel einer Sondereinrichtung in Kontakt gebracht ist, und bei welcher auf einer Hauptoberfläche des Halbleiterchips auf einem Gebiet, das sich von demjenigen unterscheidet, in dem die integrierte Halbleitereinrichtung vorgesehen ist, der Testkontaktblock gebildet ist.

23. Halbleiterverkappung nach Anspruch 9, welche ferner umfaßt:

einen Oszillator (31), der als Reaktion auf ein von außen angelegtes Testsignal in einem Testmodus aktiviert ist, und einen Steuersignalgenerator (32,

33) zum Erzeugen eines Steuersignals mittels des Oszillators,
bei welcher der Steuersignalgenerator verbunden ist mit der Masterperipheralschaltung, so daß an die Masterperipheralschaltung (11) ein aus dem Steuersignalgenerator ausgegebenes Signal angelegt ist. 5
24. Halbleiterverkappung nach Anspruch 9, welche ferner ein Schieberegister (35) umfaßt, das einen Nichtfehler/Fehlerzustand von aus jeder der Mehrzahl von Speichermatten erhaltenen Testdaten aufeinanderfolgend speichert und den gespeicherten Nichtfehler/Fehlerzustand der Testdaten in einem Testmodus aufeinanderfolgend vorsieht. 10
25. Halbleiterverkappung nach Anspruch 24, bei welcher aus einem in dem Halbleiterchip (1) vorgesehenen Testkontaktblock (36) ein Signal ausgegeben wird, das einen Nichtfehler/Fehlerzustand der aus dem Schieberegister (35) vorgesehenen Testdaten anzeigt. 15
26. Halbleiterverkappung nach Anspruch 22, bei welcher der Testkontaktblock (36) und der Kontaktblock (2) mittels verschiedener Zwischenverbindungspfade mit der lokalen Peripheralschaltung (13) elektrisch verbunden sind, 20
bei welcher eine erste Zwischenverbindung zwischen dem Testkontaktblock und der lokalen Peripheralschaltung geschaltet werden kann zwischen einer Verbindung und einer Nichtverbindung und eine zweite Zwischenverbindung zwischen dem Kontaktblock und der lokalen Peripheralschaltung geschaltet werden kann zwischen einer Verbindung und einer Nichtverbindung, 25
bei welcher in einem Testmodus die erste Zwischenverbindung einen verbundenen Zustand und die zweite Zwischenverbindung einen nichtverbundenen Zustand erreicht 30
und bei welcher in einem Normalbetriebsmodus die erste Zwischenverbindung einen nichtverbundenen Zustand und die zweite Zwischenverbindung einen verbundenen Zustand erreicht. 35
27. Halbleiterverkappung nach Anspruch 9, welche ferner eine Einrichtung zum Bestimmen einer fehlerhaften Adresse des Speicherelements aus dem Nichtfehler/Fehlerzustand der aus jeder einer Mehrzahl von Speichermatten erhaltenen Testdaten und zum Speichern der fehlerhaften Adresse in einem Testmodus umfaßt und bei welcher aus der Einrichtung ein Signal der fehlerhaften Adresse aufeinanderfolgend vorgesehen ist. 40
28. Halbleiterverkappung nach Anspruch 27, bei welcher ein Signal der fehlerhaften Adresse, das aus der Einrichtung vorgesehen ist, die eine fehlerhafte Adresse bestimmt und speichert, aus einem in dem Halbleiterchip (1) vorgesehenen Testkontaktblock (36) ausgegeben wird. 45
29. Halbleiterverkappung nach Anspruch 8, welche ferner eine Stromversorgungszwischenverbindung umfaßt, die auf einer Hauptoberfläche des Halbleiterchips vorgesehen ist, so daß sie die Verbindungszwischenverbindung umgibt, an die ein vorbestimmtes Potential angelegt ist, und bei welcher die Stromversorgungszwischenverbindung so gebildet ist, daß kein Strom fließt. 50
30. Halbleiterverkappung nach Anspruch 8, bei welcher die Mehrzahl von Hügelelektroden (4) so angeordnet ist, daß sie voneinander isoliert und von einer ganzen Oberfläche der Halbleiterverkappung (10) enthüllt sind. 55

31. Halbleiterverkappung nach Anspruch 30, bei welcher die Mehrzahl von Hügelelektroden (4) eine Hügelelektrode enthält, die mit dem Kontaktblock (2) nicht elektrisch verbunden ist.
32. Halbleiterverkappung nach Anspruch 30, bei welcher eine Mehrzahl der Hügelelektroden (4) so angeordnet ist, daß sie voneinander isoliert und von einer Rückseite der Verkappung (10) enthüllt sind.
33. Halbleiterverkappung nach Anspruch 12, bei welcher eine Vergleichseinrichtung (54), die eine vorbestimmte Anzahl von Speicherelementen aus der Speichermatte (12) in einem Testmodus wählt, eine Übereinstimmung/Nichtübereinstimmung der Logik der vorbestimmten Anzahl von Speicherelementen bestimmt und ihr Bestimmungsergebnis vorsieht, mit nur einer der Mehrzahl von Speichermatten verbunden ist.
34. Halbleiterverkappung, die einen eine integrierte Halbleitereinrichtung enthaltenden Halbleiterchip umfaßt, 60
bei welcher die integrierte Halbleitereinrichtung eine Mehrzahl von Speichermatten (12) und eine Masterperipheralschaltung (11) zum Teilen der Mehrzahl von Speichermatten und unabhängigen Steuern jeder Speichermatte enthält, 65
bei welcher die Speichermatte eine Mehrzahl von Speicherelementen enthält,
welche ferner eine Einrichtung zum Bestimmen einer fehlerhaften Adresse des Speicherelements aus einem Nichtfehler/Fehlerzustand der aus jeder der Mehrzahl von Speichermatten vorgesehenen Testdaten und zum Speichern der fehlerhaften Adresse in einem Testmodus umfaßt und
bei welcher aus der Einrichtung ein Signal der fehlerhaften Adresse aufeinanderfolgend vorgesehen ist.
35. Halbleiterverkappung, welche eine Mehrzahl von externen Verbindungseinheiten umfaßt, die gebildet sind aus einer Hügelelektrode (4) zur Verbindung mit der Außenwelt, welche auf einer Hauptoberfläche eines eine integrierte Halbleitereinrichtung enthaltenden Halbleiterchips (1) vorgesehen ist, einem auf dem Halbleiterchip gebildeten Kontaktblock (2) zur Verbindung mit der integrierten Halbleitereinrichtung, und einer auf der Hauptoberfläche des Halbleiterchips mittels Photolithographie gebildeten Verbindungszwischenverbindung (3) zum elektrischen Verbinden des Kontaktblocks mit der Hügelelektrode, 70
welche ferner eine Stromversorgungszwischenverbindung (PL) umfaßt, die auf der Hauptoberfläche des Halbleiterchips so vorgesehen ist, daß sie die Verbindungszwischenverbindung umgibt, an die ein vorbestimmtes Potential angelegt ist, 75
und bei welcher die Stromversorgungszwischenverbindung so gebildet ist, daß kein Strom fließt.
36. Halbleiterverkappung, welche einen Kontaktblock (2) auf einer Hauptoberfläche eines eine integrierte Halbleitereinrichtung enthaltenden Halbleiterchips (1) umfaßt, 80
bei welcher die integrierte Halbleitereinrichtung eine Mehrzahl von Speichermatten (12) und eine Masterperipheralschaltung (11) zum Teilen der Mehrzahl von Speichermatten und unabhängigen Steuern jeder Speichermatte enthält, 85
bei welcher die Speichermatte eine Mehrzahl von Speicherelementen enthält,
bei welcher jede der Mehrzahl von Speichermatten

so angeordnet ist, daß eine Übertragungsentfernung eines Signals aus dem Kontaktblock in jede der Mehrzahl von Speichermatten im wesentlichen identisch ist,

und bei welcher eine Vergleichseinrichtung (54), die eine vorbestimmte Anzahl von Speicherelementen aus der Speichermatte in einem Testmodus wählt, eine Übereinstimmung/Nichtübereinstimmung der Logik der vorbestimmten Anzahl von Speicherelementen bestimmt und ihr Vergleichsergebnis vorsieht, mit nur einer der Mehrzahl von Speichermatten verbunden ist.

37. Halbleiterverkappung, welche eine Mehrzahl von externen Zwischenverbindungseinheiten umfaßt, die gebildet sind aus einer Hügelelektrode (4, 104) zur Verbindung mit einem Außenanschluß, welche auf einer Hauptoberfläche eines integrierten Halbleiterchips (1, 101) vorgesehen ist, einem auf dem Halbleiterchip gebildeten Kontaktblock (2, 102a, 102b) zur Verbindung mit der integrierten Halbleitereinrichtung, und einer Verbindungszwischenverbindung (3, 103a, 103b, 111) zum elektrischen Verbinden des Kontaktblocks und der Hügelelektrode, bei welcher die integrierte Halbleitereinrichtung eine Mehrzahl von Speichermatten (12, 112) und eine Masterperipheralschaltung (11, 111) zum Teilen der Mehrzahl der Speichermatten und unabhängigen Steuern jeder Speichermatte enthält und bei welcher die Speichermatte eine Mehrzahl von Speicherarrays (14, 114) und eine lokale Peripheralschaltung (13, 113) zum Teilen einer Mehrzahl der Speicherarrays und unabhängigen Steuern jeden Speicherarrays umfaßt.

38. Halbleiterverkappung nach Anspruch 37, bei welcher auf einer Hauptoberfläche des Halbleiterchips (1) mittels Photolithographie die Verbindungszwischenverbindung (3) gebildet ist.

39. Halbleiterverkappung nach Anspruch 37, welche ferner umfaßt: ein Substrat zum Befestigen des Halbleiterchips (101) an einer Rückseitenoberflächenenseite einer Oberfläche, auf der der Kontaktblock (102a, 102b) des Halbleiterchips (101) gebildet ist,

bei welcher auf der Rückseitenoberflächenenseite der Oberfläche des Substrats, auf der der Halbleiterchip befestigt ist, die Hügelelektrode (104) angeordnet ist

und bei welcher durch ein in dem Substrat (105) vorgesehenes Loch hindurch die Hügelelektrode und der Kontaktblock elektrisch verbunden sind.

40. Halbleiterverkappung nach Anspruch 39, bei welcher auf der Hauptoberfläche des Halbleiterchips in einem äußeren Umfangsgebiet eines Gebiets, in dem eine Mehrzahl der Speichermatten (114) und die Masterperipheralschaltung (111) angeordnet sind, eine Mehrzahl der Kontaktblöcke (102a, 102b) angeordnet ist und bei welcher der mit der Masterperipheralschaltung elektrisch verbundene Kontaktblock (102a) in dem äußeren Umfangsgebiet so an einer Stelle angeordnet ist, daß der Abstand von der Masterperipheralschaltung im wesentlichen am kleinsten ist.

41. Halbleiterverkappung nach Anspruch 39, bei welcher jede der Mehrzahl der Speichermatten (114) und jeder der Mehrzahl der Kontaktblöcke (102a, 102b) so angeordnet ist, daß sie/er zu der Lage der Masterperipheralschaltung (111) symme-

trisch ist.

42. Halbleiterverkappung nach Anspruch 39, bei welcher eine Übertragungsentfernung eines Signals, das zwischen jedem der Mehrzahl von mit der Masterperipheralschaltung (111) elektrisch verbundenen Kontaktblöcken (102a) und der Masterperipheralschaltung eingegeben und ausgegeben wird, im wesentlichen gleich ist und bei welcher eine Übertragungsentfernung eines Signals, das zwischen jeder der Mehrzahl der Masterperipheralschaltungen und der lokalen Peripheralschaltung (113) eingegeben und ausgegeben wird, im wesentlichen gleich ist.

43. Halbleiterverkappung nach Anspruch 40, bei welcher eine Mehrzahl der Kontaktblöcke (102b), die mit der lokalen Peripheralschaltung (113) einer speziellen Speichermatte aus der Mehrzahl der Speichermatten (114) elektrisch verbunden sind, in dem äußeren Umfangsgebiet und längs einer Kontur der speziellen Speichermatte angeordnet ist.

44. Halbleiterverkappung nach Anspruch 39, bei welcher auf der obersten Schicht des Halbleitersubstrats von allen in dem Halbleiterchip (101) gebildeten Zwischenverbindungsschichten eine die lokale Peripheralschaltung (113) und den Kontaktblock (102b) verbindende Zwischenverbindungsschicht (125) und eine die Masterperipheralschaltung (111) und den Kontaktblock (102a) verbindende Zwischenverbindungsschicht gebildet sind.

45. Halbleiterverkappung nach Anspruch 39, bei welcher die Masterperipheralschaltung (111) eine Mattenwahlschaltung (22) umfaßt, die eine der Mehrzahl von Speichermatten (114) wählt und betreibbar macht und eine Lieferung von Strom zu der lokalen Peripheralschaltung (113) in der nicht gewählten Speichermatte hin unterbricht.

46. Halbleiterverkappung nach Anspruch 39, bei welcher die Masterperipheralschaltung (111) eine Mattenwahlschaltung (22) umfaßt, die eine vorbestimmte Anzahl der Speichermatten (114) wählt und betreibbar macht und eine Lieferung von Strom zu der lokalen Peripheralschaltung (113) in der nichtgewählten Speichermatte hin unterbricht.

47. Halbleiterverkappung nach Anspruch 39, bei welcher die Mehrzahl von Hügelelektroden (104) eine Hügelelektrode enthält, die mit dem Kontaktblock (102a, 102b) nicht elektrisch verbunden ist.

48. Halbleiterverkappung nach Anspruch 39, bei welcher eine Vergleichseinrichtung (54), die eine vorbestimmte Anzahl von Speicherelementen aus der Speichermatte (114) in einem Testmodus wählt, eine Übereinstimmung/Nichtübereinstimmung der Logik der vorbestimmten Anzahl von Speicherelementen bestimmt und ihr Bestimmungsergebnis vorsieht, mit nur einer der Mehrzahl von Speichermatten verbunden ist.

Hierzu 18 Seite(n) Zeichnungen

*

FIG. 1

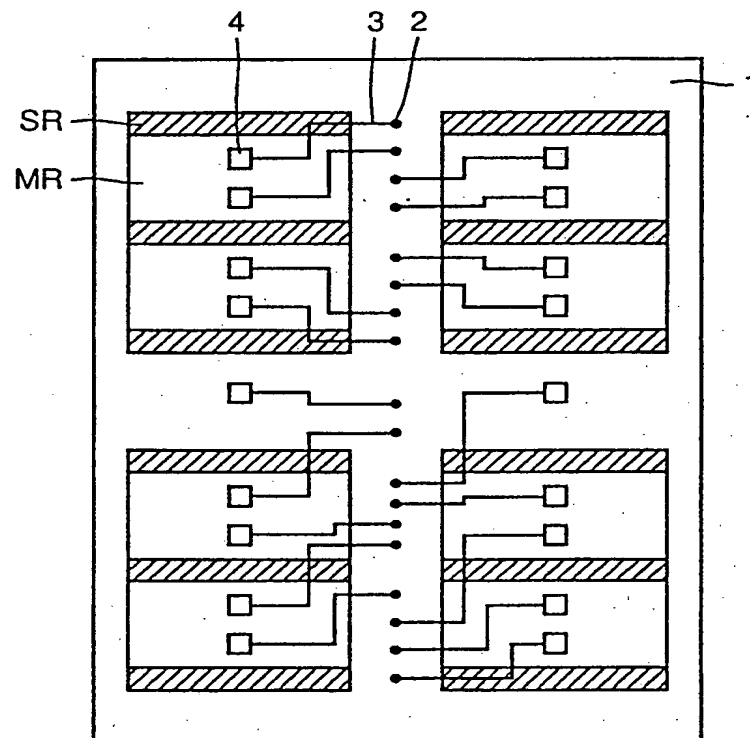


FIG. 2

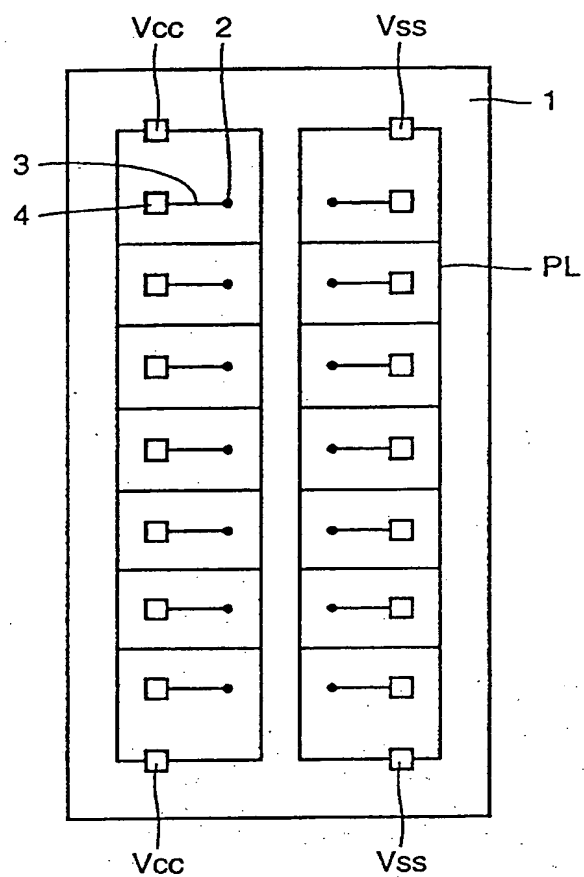


FIG. 3

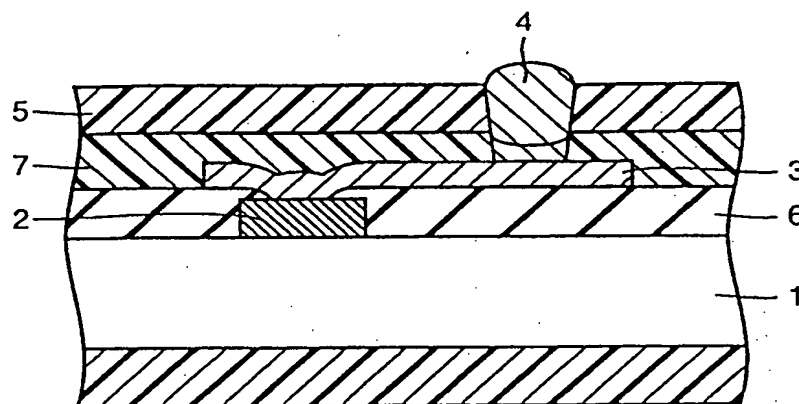


FIG. 4

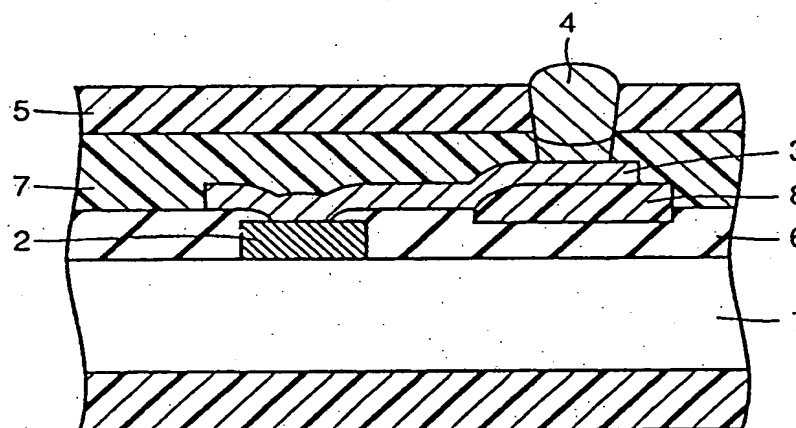


FIG. 5

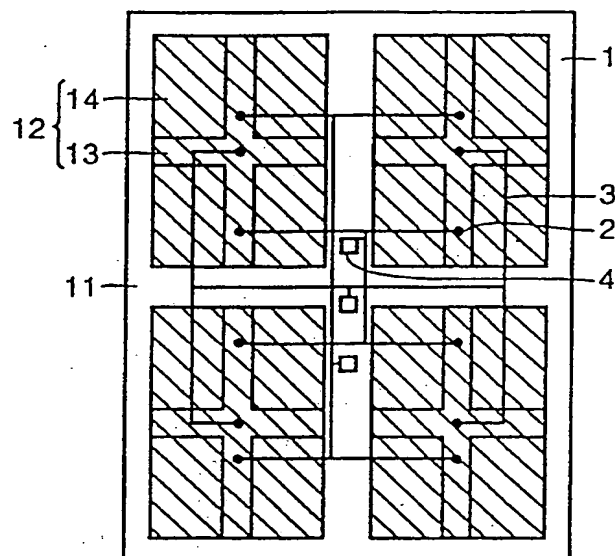


FIG. 6

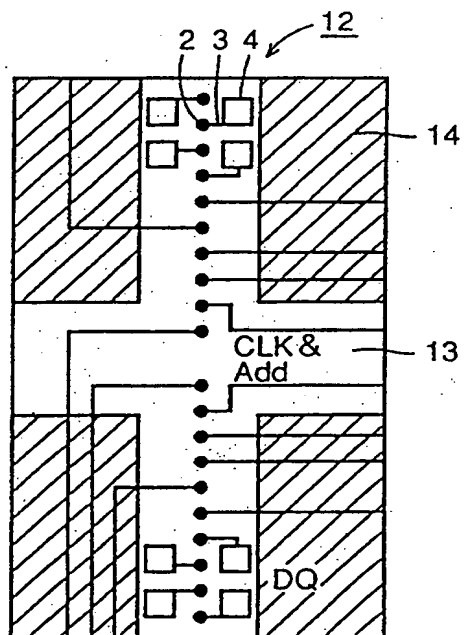


FIG. 7

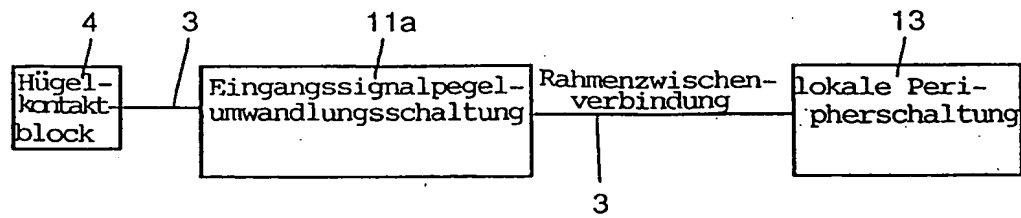


FIG. 8

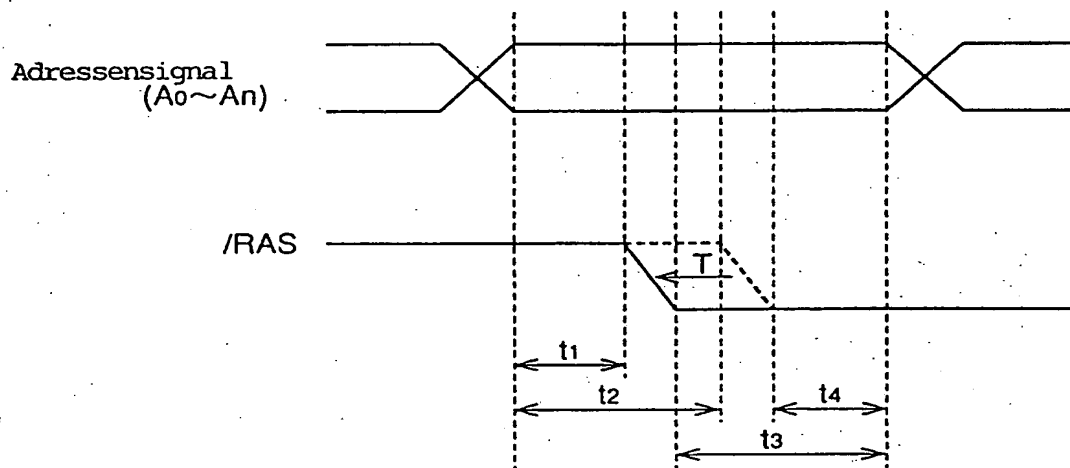


FIG. 9

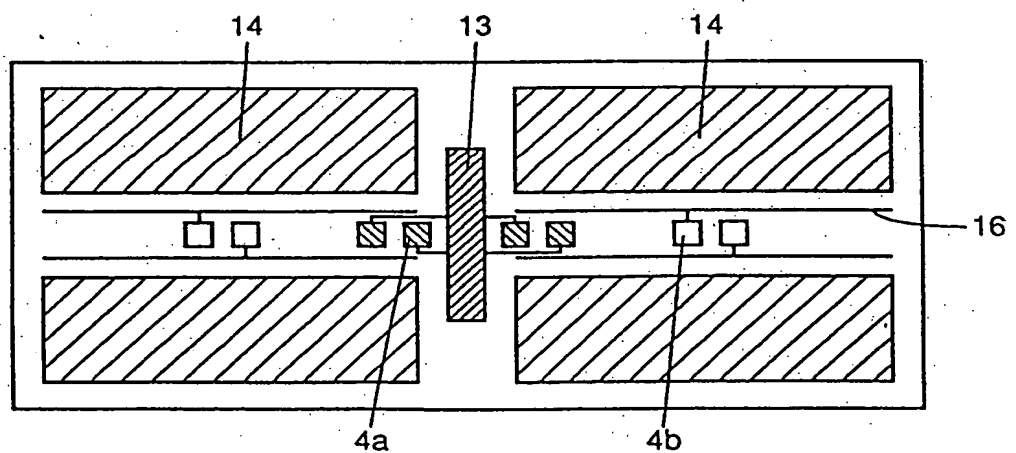


FIG. 10

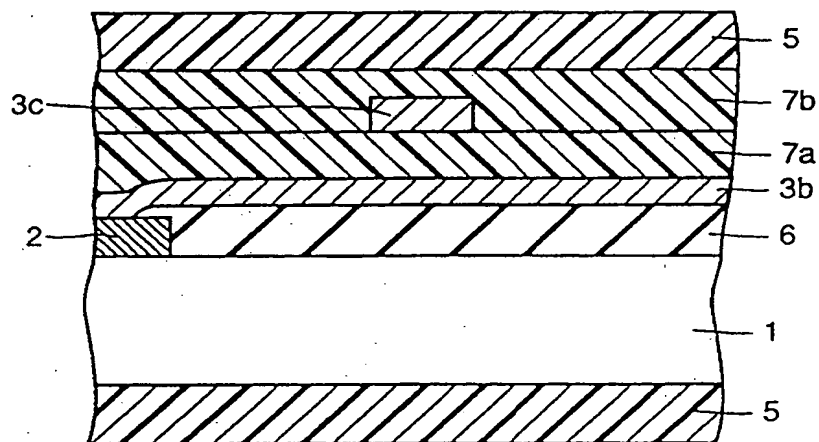


FIG. 11

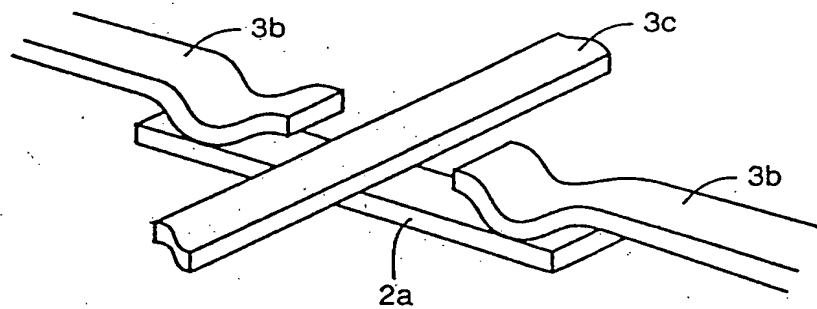


FIG. 12

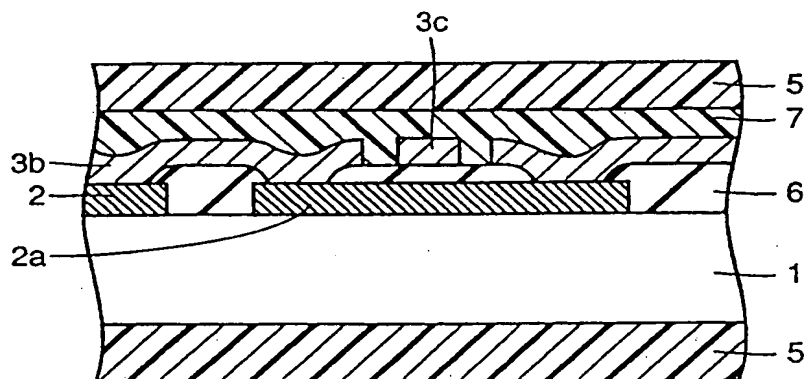


FIG. 13

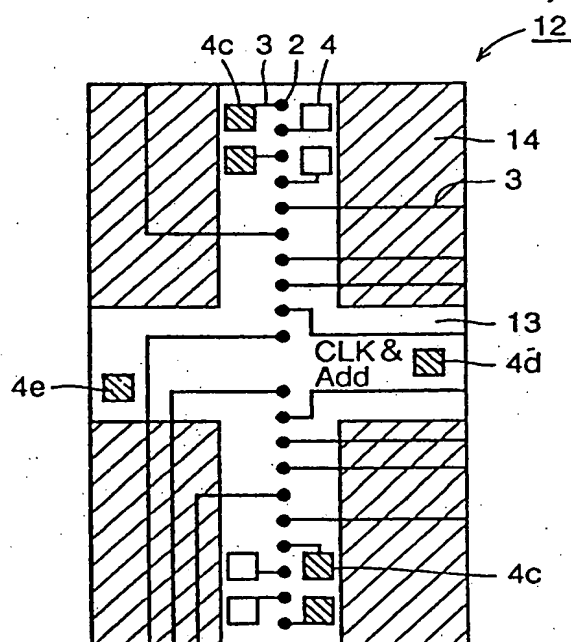


FIG. 14

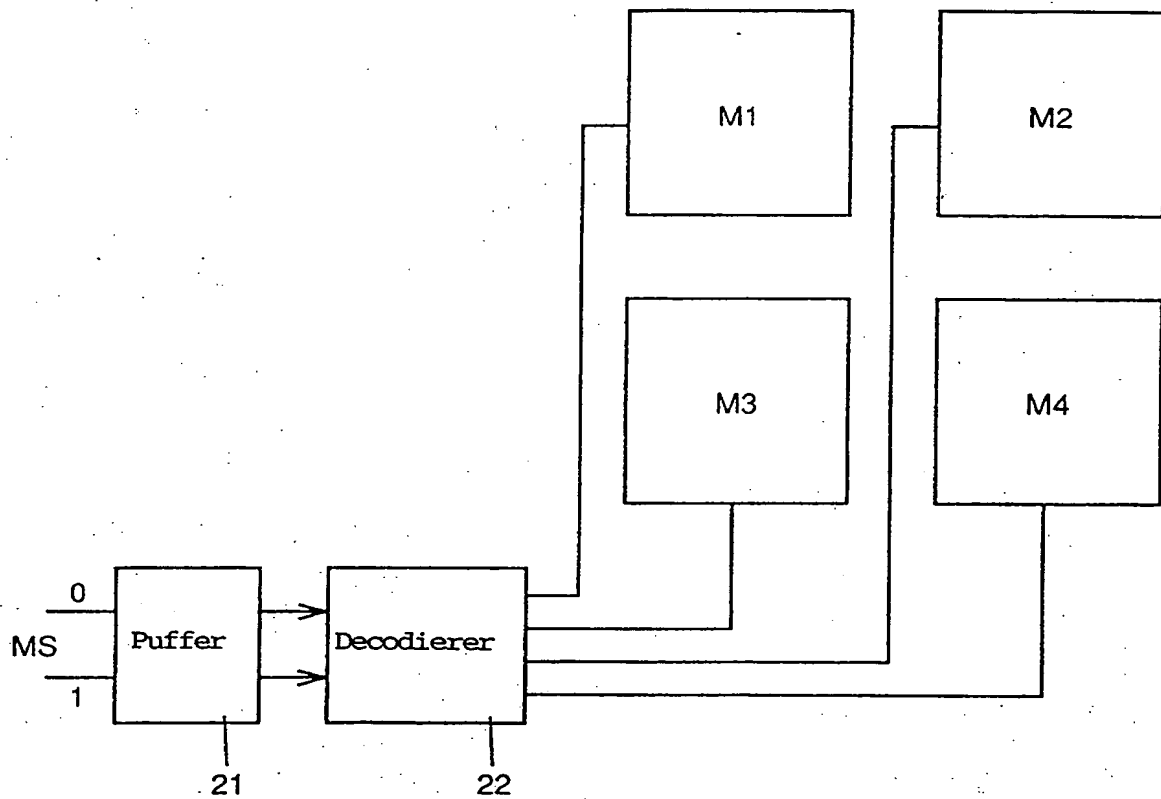


FIG. 15

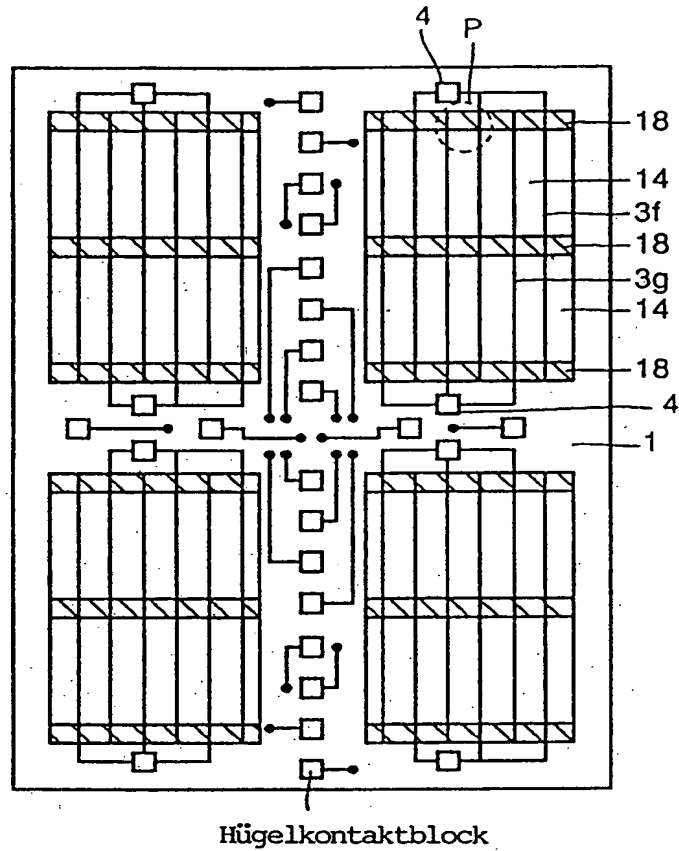


FIG. 16

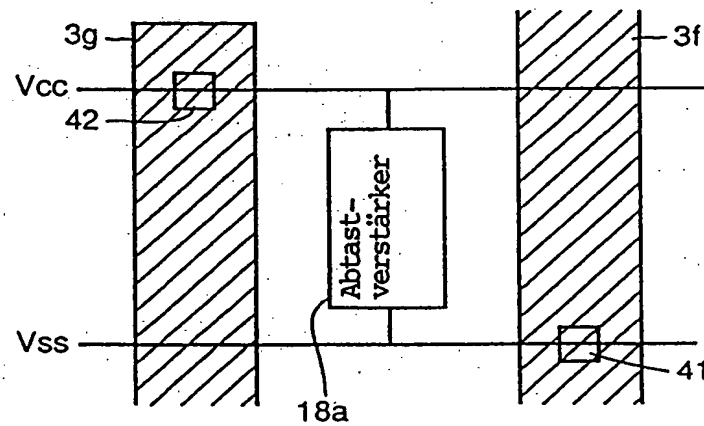


FIG. 17

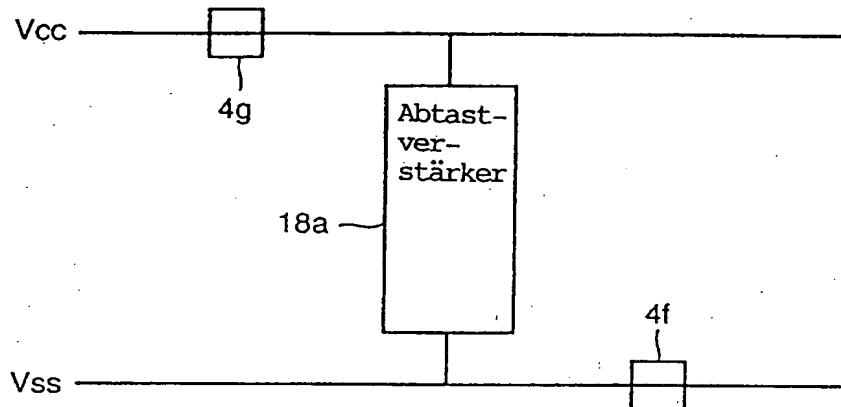


FIG. 18

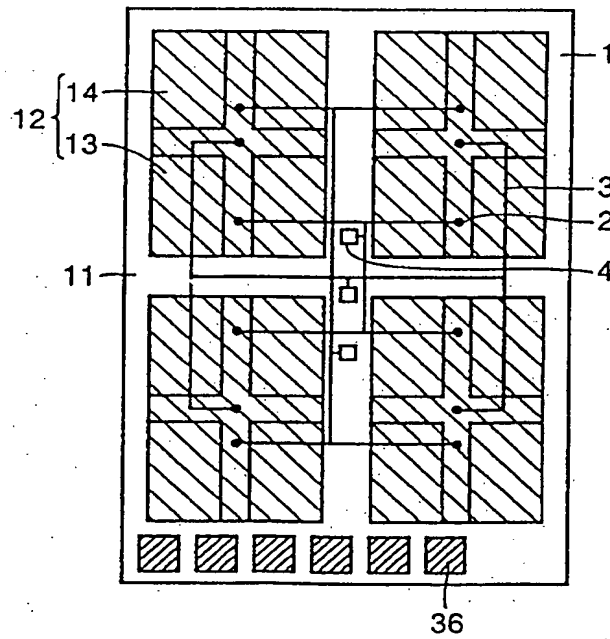


FIG. 19

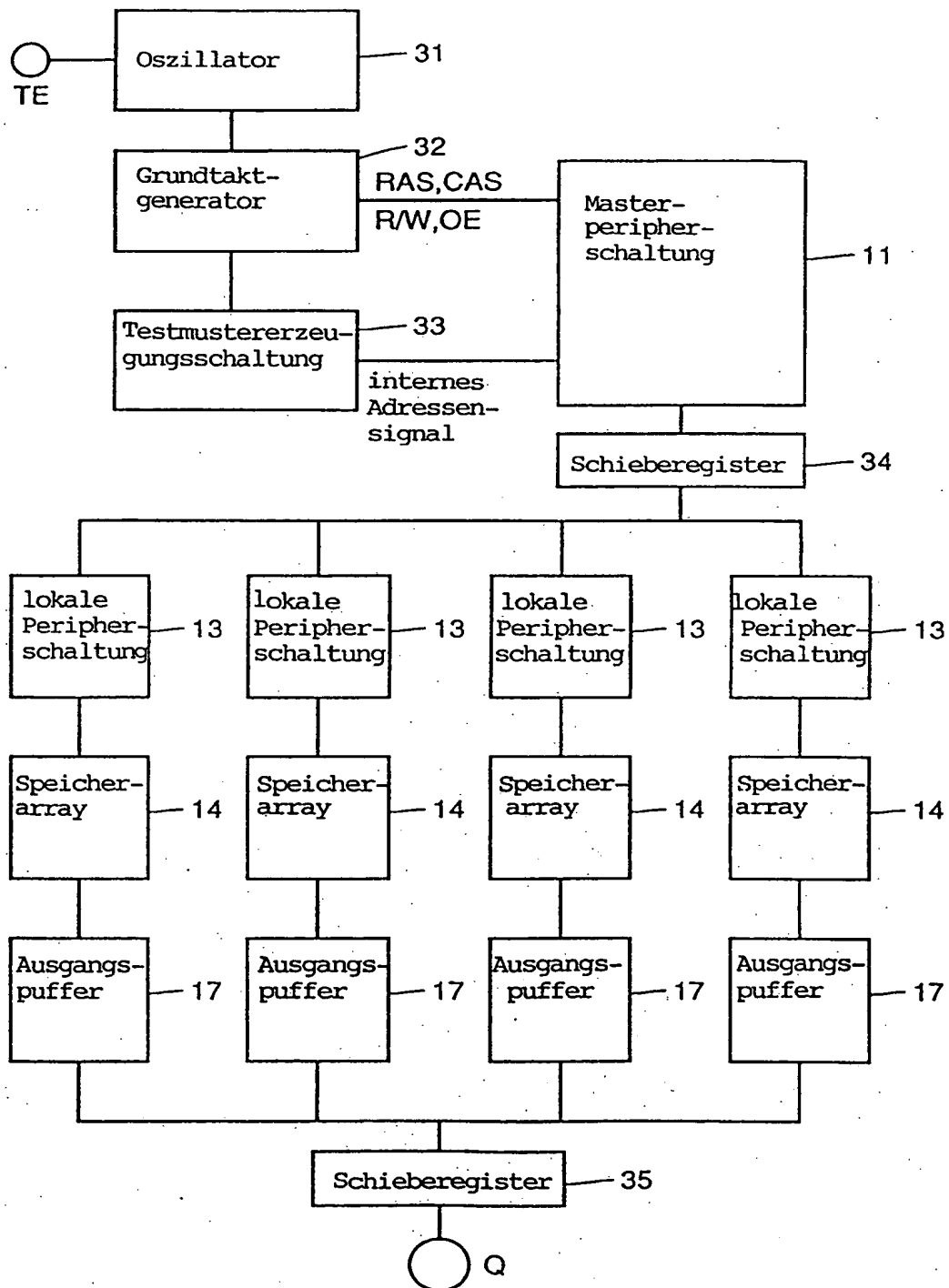


FIG. 20

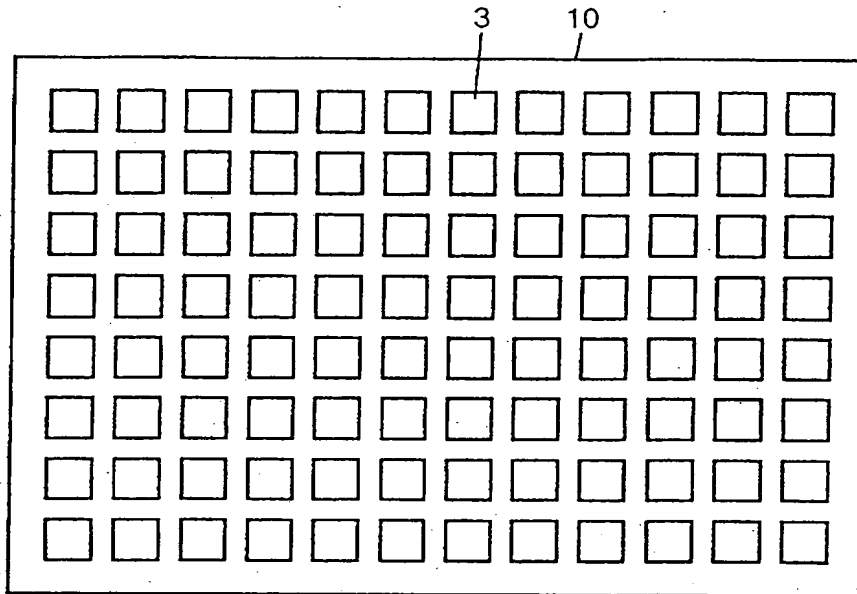


FIG. 21

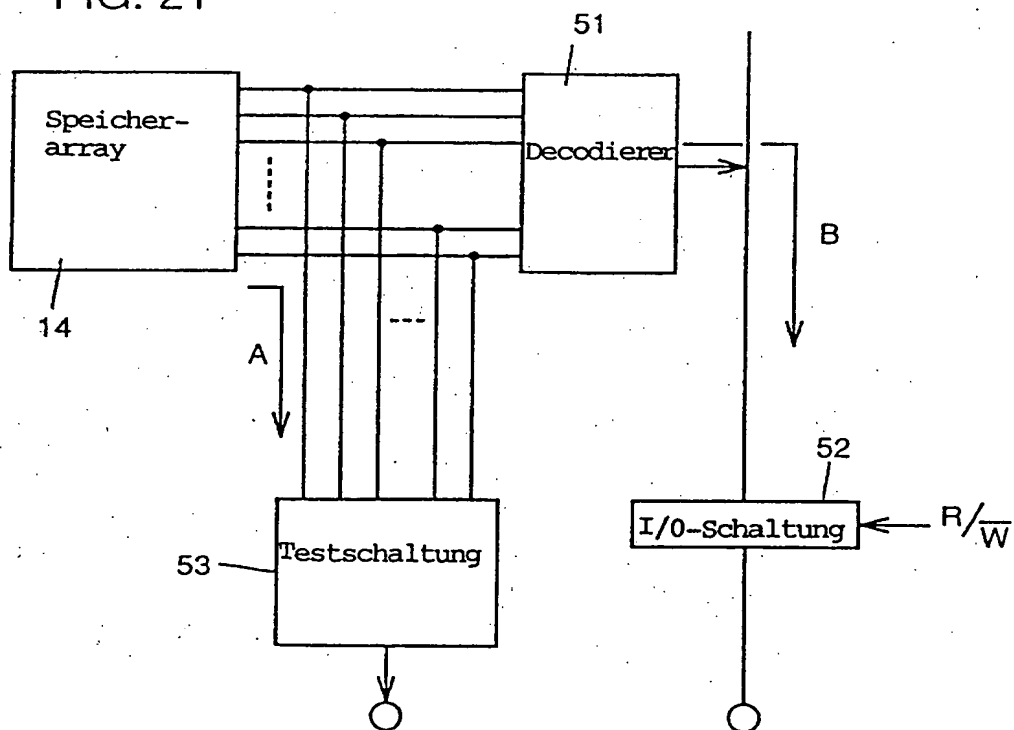


FIG. 22

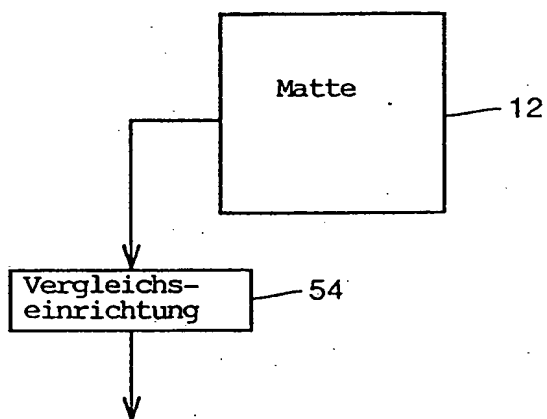


FIG. 23

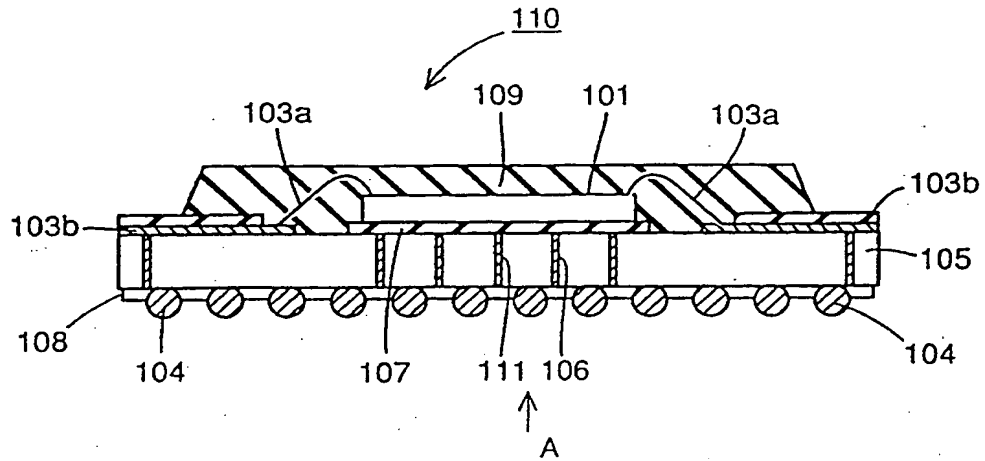


FIG. 24

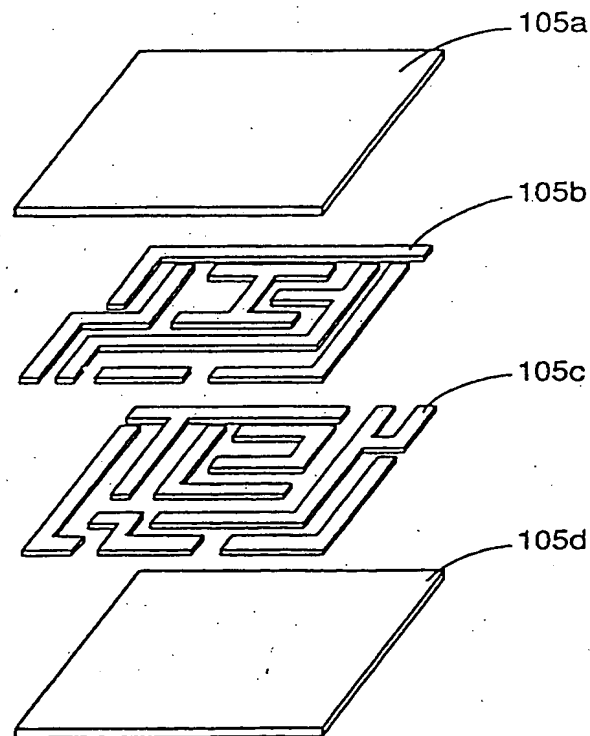


FIG. 25

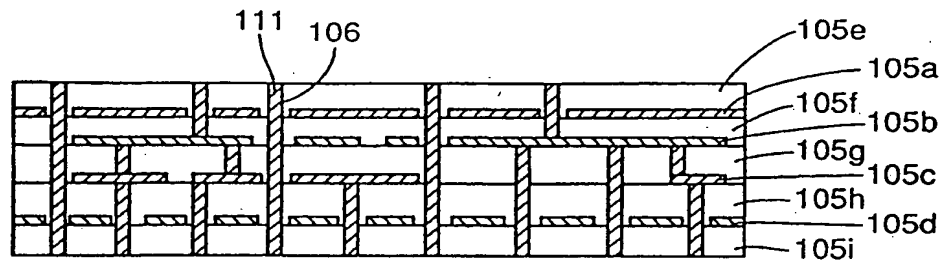


FIG. 26

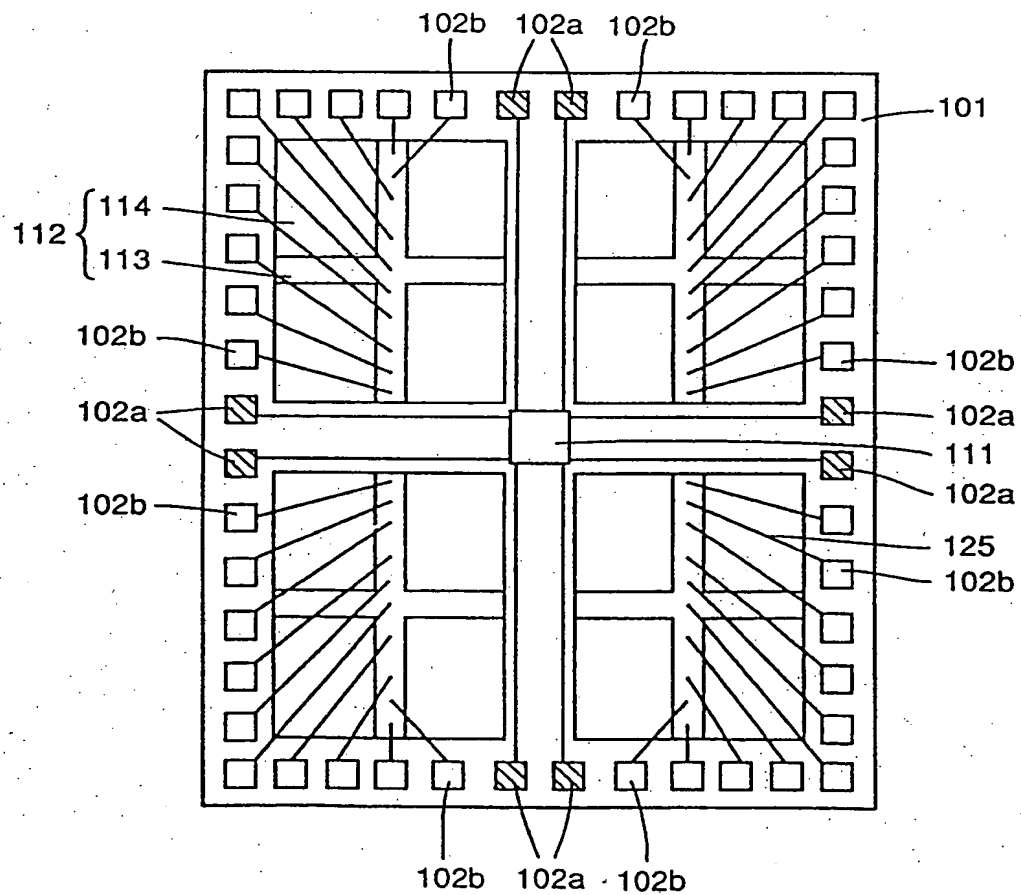


FIG. 27

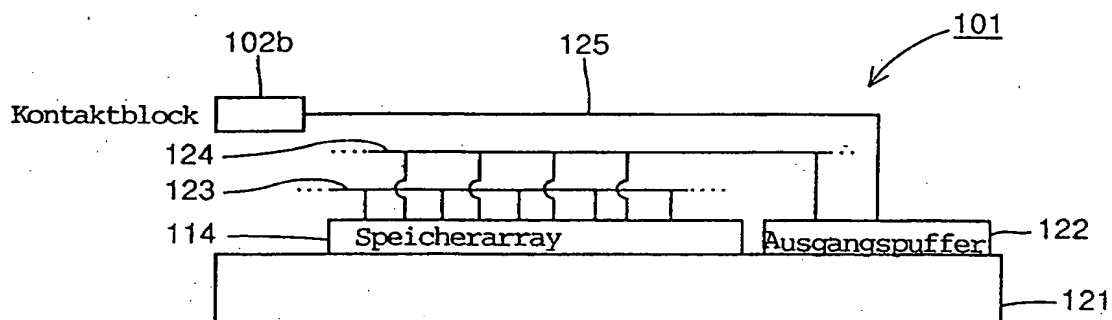


FIG. 28

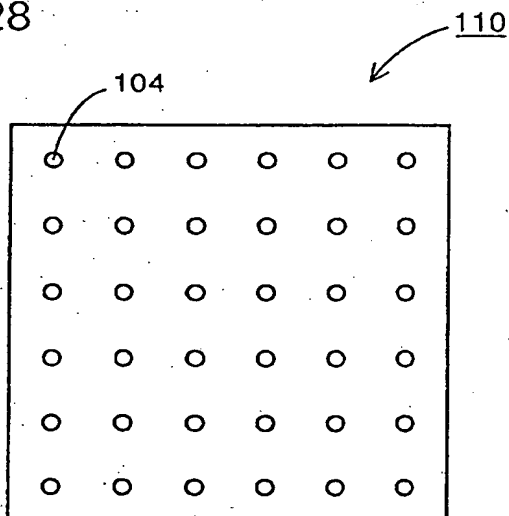


FIG. 29

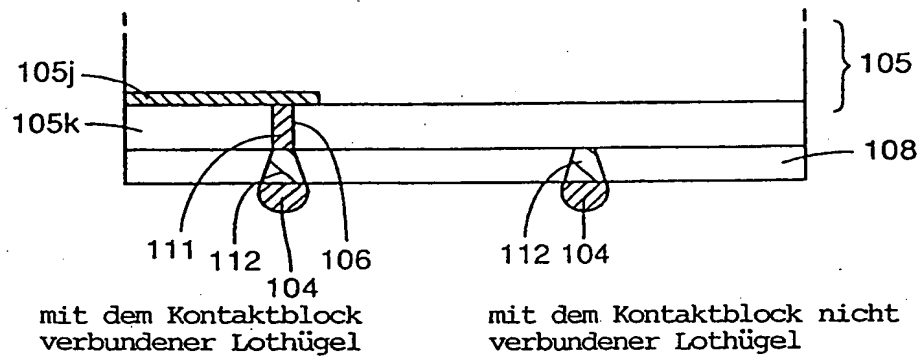


FIG. 30

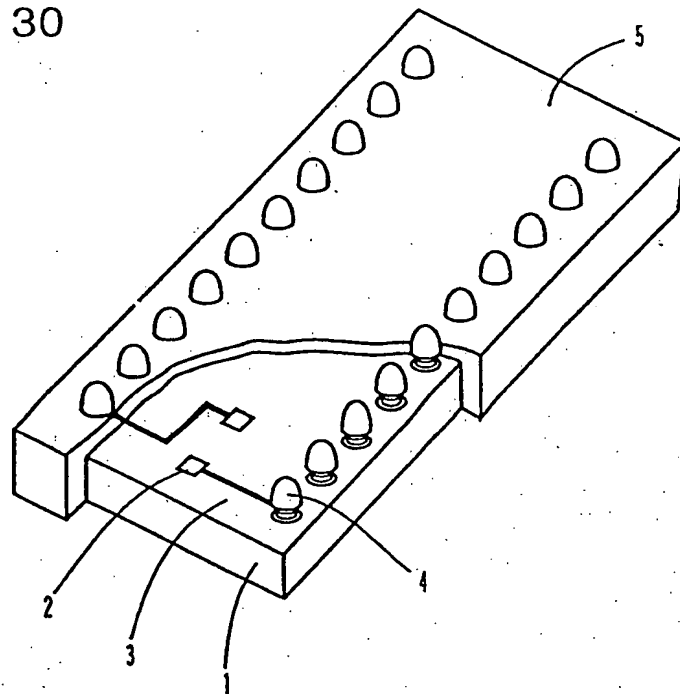


FIG. 31

